

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Takuji MATSUMOTO, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-006641	January 15, 2003
Japan	2003-295234	August 19, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2003年 1月15日

出願番号

Application Number:

特願2003-006641

[ST.10/C]:

[JP2003-006641]

出願人

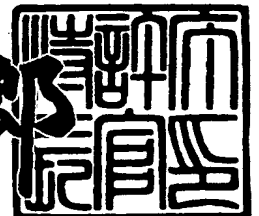
Applicant(s):

三菱電機株式会社

2003年 2月 7日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3005666

【書類名】 特許願

【整理番号】 543752JP01

【提出日】 平成15年 1月15日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/76

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 松本 拓治

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 一法師 隆志

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 岩松 俊明

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 平野 有一

【特許出願人】

 【識別番号】 000006013

 【氏名又は名称】 三菱電機株式会社

【代理人】

 【識別番号】 100089233

 【弁理士】

 【氏名又は名称】 吉田 茂明

【選任した代理人】

【識別番号】 100088672

【弁理士】

【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 半導体基板、絶縁層、及び第 1 導電型の半導体層がこの順に積層された構造を有する S O I 基板と、

前記半導体層の主面内に部分的に形成され、前記絶縁層とによって前記半導体層の一部を挟む底面を有する素子分離絶縁膜と、

前記素子分離絶縁膜によって規定される素子形成領域内において、前記半導体層の前記主面上に部分的に形成されたゲート構造と、

前記素子形成領域内において、前記ゲート構造から露出している部分の前記半導体層の前記主面内に形成され、前記ゲート構造の下方のチャネル形成領域を挟んで対を成す凹部と、

前記凹部の底面内に形成され、前記チャネル形成領域を挟んで対を成し、その底面又はその空乏層が前記絶縁層に到達し、前記第 1 導電型とは異なる第 2 導電型のソース・ドレイン領域とを備える、半導体装置。

【請求項 2】 前記ゲート構造が形成されている部分の前記半導体層の前記主面と、前記凹部の側面とが成す角度は、 90° よりも大きい、請求項 1 に記載の半導体装置。

【請求項 3】 前記凹部の端部は、前記ゲート構造の端部の下方に潜り込んでいる、請求項 1 又は 2 に記載の半導体装置。

【請求項 4】 前記ソース・ドレイン領域は、前記半導体層の前記主面内に形成された、比較的低濃度の第 1 の不純物導入領域と、

前記第 1 の不純物導入領域よりも深く形成された、比較的高濃度の第 2 の不純物導入領域とを有し、

前記半導体層の前記主面から前記凹部の前記底面までの深さは、前記半導体層の前記主面から前記第 1 の不純物導入領域の底面までの深さよりも浅い、請求項

1～3のいずれか一つに記載の半導体装置。

【請求項5】 前記ゲート構造は、

前記半導体層の前記主面上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたゲート電極と、

前記ゲート電極の側面に形成された第1のサイドウォールと

を有し、

前記半導体装置は、

前記第1のサイドウォールに接して前記凹部の前記底面上に形成された第2のサイドウォールと、

前記第2のサイドウォールから露出している部分の前記ソース・ドレイン領域上に形成された、金属-半導体化合物層と

をさらに備える、請求項1～4のいずれか一つに記載の半導体装置。

【請求項6】 前記素子分離絶縁膜に接して前記凹部の前記底面上に形成された第3のサイドウォールをさらに備え、

前記金属-半導体化合物層は、前記第2及び第3のサイドウォールから露出している部分の前記ソース・ドレイン領域上に形成されている、請求項5に記載の半導体装置。

【請求項7】 前記凹部の底面上に形成された半導体領域と、

前記半導体領域上に形成された金属-半導体化合物層と

をさらに備える、請求項1～4のいずれか一つに記載の半導体装置。

【請求項8】 前記SOI基板内にはNMOSトランジスタ及びPMOSトランジスタが形成されており、

前記半導体装置は、前記NMOSトランジスタ及び前記PMOSトランジスタのうちのいずれか一方である、請求項1～7のいずれか一つに記載の半導体装置

【請求項9】 前記SOI基板内には、比較的低い電源電圧で動作する第1のトランジスタと、比較的高い電源電圧で動作する第2のトランジスタとが形成されており、

前記半導体装置は、前記第1及び第2のトランジスタのうちのいずれか一方で

ある、請求項 1 ～ 7 のいずれか一つに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、S O I 基板を用いた半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】

S O I 基板は、半導体基板、絶縁層、及び第 1 導電型の半導体層がこの順に積層された構造を有している。S O I 基板を用いた従来の半導体装置の製造方法では、(a) いわゆる部分分離型の素子分離絶縁膜を、半導体層の上面内に部分的に形成する工程と、(b) 素子形成領域内において、半導体層の上面上にゲート構造を部分的に形成する工程と、(c) 半導体層の上面内に不純物をイオン注入することにより、第 2 導電型のソース・ドレイン領域を、半導体層の上面から絶縁層に到達して形成する工程とが、この順に実行されていた。

【0003】

なお、S O I 基板を用いた半導体装置及びその製造方法に関する技術は、下記の特許文献 1 に開示されている。

【0004】

【特許文献 1】

特開平 1 0 - 2 0 9 1 6 7 号公報

【0005】

【発明が解決しようとする課題】

しかしながら、従来の半導体装置の製造方法において、ソース・ドレイン領域を絶縁層に到達させるべくイオン注入の注入エネルギーを高くしたのでは、素子分離絶縁膜の底面と絶縁層の上面との間に位置する部分の半導体層内にも第 2 導電型の不純物が注入されてしまい、その部分の第 1 導電型の濃度が薄くなって、分離耐圧が低下するという問題がある。

【0006】

この問題を解決すべく、不純物が素子分離絶縁膜を突き抜けないようにイオン注入の注入エネルギーを低くしたのでは、ソース・ドレイン領域が絶縁層に到達しないために、ソース・ドレイン領域の接合容量が増加する。その結果、動作速度の低下や消費電力の増大等の弊害が生じてしまう。

【0007】

また、上記問題を解決すべく、素子分離絶縁膜の底面が絶縁層の上面に近付くように素子分離絶縁膜を深く形成したのでは、素子分離絶縁膜の底面と絶縁層の上面との間に位置する部分の半導体層の抵抗値が増加してしまうという弊害が生じる。

【0008】

さらに、上記問題を解決すべく、素子分離絶縁膜の上面が半導体層の上面よりも極端に上方に位置するように素子分離絶縁膜の膜厚を厚くしたのでは、素子分離絶縁膜の上面と半導体層の上面との段差に起因して、ゲート電極を高精度に形成することが困難となる。その結果、動作速度の低下や特性のばらつき等の弊害が生じてしまう。

【0009】

本発明はかかる問題を解決するために成されたものであり、接合容量の増加等の弊害を伴わずに分離耐圧の低下を適切に回避し得る、半導体装置及びその製造方法を得ることを目的とするものである。

【0010】

【課題を解決するための手段】

この発明によれば、半導体装置は、半導体基板、絶縁層、及び第1導電型の半導体層がこの順に積層された構造を有するSOI基板と、半導体層の主面内に部分的に形成され、絶縁層とによって半導体層の一部を挟む底面を有する素子分離絶縁膜と、素子分離絶縁膜によって規定される素子形成領域内において、半導体層の主面上に部分的に形成されたゲート構造と、素子形成領域内において、ゲート構造から露出している部分の半導体層の主面内に形成され、ゲート構造の下方のチャンネル形成領域を挟んで対を成す凹部と、凹部の底面内に形成され、チャンネル形成領域を挟んで対を成し、その底面又はその空乏層が絶縁層に到達し、第1

導電型とは異なる第2導電型のソース・ドレイン領域とを備える。

【0011】

【発明の実施の形態】

実施の形態1.

図1は、本発明の実施の形態1に係る半導体装置の構造を示す断面図である。SOI基板4は、シリコン基板1、BOX (buried oxide) 層2、及びp型のシリコン層3がこの順に積層された構造を有している。シリコン層3の上面内には、いわゆる部分分離型の素子分離絶縁膜5が部分的に形成されている。素子分離絶縁膜5の材質は、例えばシリコン酸化膜である。素子分離絶縁膜5の底面とBOX層2の上面とによって、シリコン層3の一部が挟まれている。

【0012】

素子分離絶縁膜5によって規定される素子形成領域内において、シリコン層3の上面上には、ゲート構造が部分的に形成されている。ゲート構造は、シリコン層3の上面上に形成された、シリコン酸化膜から成るゲート絶縁膜6と、ゲート絶縁膜6上に形成された、ポリシリコンから成るゲート電極7と、ゲート電極7の側面に形成された、シリコン窒化膜から成るサイドウォール9と、ゲート電極7の上面上に形成されたコバルトシリサイド層8とを有している。ゲート構造の下方に位置する部分のシリコン層3は、チャネル形成領域として規定される。ここで、各部の材質は、上記の例に限定されるものではない。ゲート絶縁膜6の材質は、シリコン酸窒化膜又は高誘電体膜等であっても良い。ゲート電極7の材質は、タングステン、アルミニウム、又はタンタル等の金属であっても良い。サイドウォール9の材質は、シリコン酸化膜とシリコン窒化膜との複合膜であっても良い。コバルトシリサイド層8の代わりに、ニッケルシリサイド層又はチタンシリサイド層等が形成されていても良い。

【0013】

素子形成領域内において、ゲート構造から露出している部分のシリコン層3の上面内には、チャネル形成領域を挟んで対を成す凹部14が形成されている。また、シリコン層3内には、チャネル形成領域を挟んで対を成す、n型のソース・ドレイン領域12が形成されている。ソース・ドレイン領域12は、シリコン層

3の上面内に浅く形成された、比較的低濃度の不純物導入領域（「エクステンション」とも称される）10と、不純物導入領域10よりも深く形成された、比較的高濃度の不純物導入領域11とを有している。不純物導入領域11は、凹部14の底面からBOX層2の上面に到達して形成されている。また、ゲート構造から露出している部分のソース・ドレイン領域12の上面上には、コバルトシリサイド層13が形成されている。

【0014】

図1には、不純物導入領域11の底面がBOX層2の上面に接触している構造を示したが、この構造の代わりに、不純物導入領域11とシリコン層3との界面に形成される空乏層が、BOX層2の上面に到達する構造が採用されても良い。但し、接合容量の低減を図る観点からは、不純物導入領域11の底面がBOX層2の上面に接触している構造が望ましいため、本明細書では、この構造が採用された場合について説明する。

【0015】

図2～8は、本実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。図2を参照して、周知のLOCOS分離技術又はトレンチ分離技術によって、素子分離絶縁膜5をシリコン層3の上面内に部分的に形成する。次に、熱酸化法によって、シリコン酸化膜15をシリコン層3の上面上に形成する。次に、CVD法によって、ポリシリコン膜16及びシリコン酸化膜17をこの順に全面的に形成する。

【0016】

図3を参照して、次に、写真製版法及び異方性ドライエッチング法によって、ポリシリコン膜16及びシリコン酸化膜17をパターニングする。これにより、ポリシリコン膜19及びシリコン酸化膜20が形成される。また、シリコン酸化膜15の一部がエッチングされて、シリコン酸化膜18が形成される。

【0017】

図4を参照して、次に、イオン注入法によって、n型の不純物をシリコン酸化膜18を介してシリコン層3の上面内に注入することにより、不純物導入領域10を形成する。このとき、ショートチャネル効果を抑制するために、比較的低濃

度のp型の不純物層（一般的に「ポケット領域」と称される）を形成しても良い。但し、説明の簡略化のため、以後の説明ではポケット領域については省略する。

【0018】

図5を参照して、次に、CVD法によってシリコン窒化膜を全面的に形成する。次に、エッチバックを行うことにより、ポリシリコン膜19及びシリコン酸化膜20の側面にサイドウォール9を形成する。

【0019】

図6を参照して、次に、シリコン酸化膜はエッチングされやすく、シリコン、ポリシリコン、及びシリコン窒化膜はエッチングされにくい条件で、エッチングを行う。これにより、シリコン酸化膜20が除去されて、ポリシリコン膜19の上面が露出する。また、サイドウォール9及びポリシリコン膜19から露出している部分のシリコン酸化膜18が除去されて、ゲート絶縁膜6が形成される。なお、図面には現さないが、このエッチングによって素子分離絶縁膜5も若干エッチングされる。

【0020】

図7を参照して、次に、シリコン及びポリシリコンはエッチングされやすく、シリコン酸化膜及びシリコン窒化膜はエッチングされにくい条件で、異方性ドライエッチングを行う。これにより、ゲート絶縁膜6及び素子分離絶縁膜5から露出している部分のシリコン層3が膜厚D1だけエッチングされて、凹部14が形成される。また、ポリシリコン膜19の上部が併せてエッチングされて、ゲート電極7が形成される。凹部14の底面とBOX層2の上面とによって挟まれている部分のシリコン層3の膜厚は、D2である。

【0021】

図8を参照して、次に、イオン注入法によって、n型の不純物をシリコン層3の上面内に注入することにより、不純物導入領域11を形成する。このイオン注入の注入エネルギーは、凹部14の底面に注入された不純物がシリコン層3の底面にまで到達し、かつ、素子分離絶縁膜5の上面に注入された不純物が素子分離絶縁膜5を突き抜けない大きさに設定される。

【 0 0 2 2 】

また、このイオン注入によって、n型の不純物はゲート電極7内にも併せて注入される。ポリシリコン膜19が薄膜化されてゲート電極7が形成されているため、不純物はゲート電極7の深部、即ちゲート絶縁膜6との界面付近にまで到達する。その結果、ゲート空乏化を抑制することができる。ゲート空乏化を抑制することによって、電流駆動能力を向上できる。

【 0 0 2 3 】

その後、ゲート電極7及びソース・ドレイン領域12の各上面をシリサイド化してコバルトシリサイド層8、13を形成することにより、図1に示した構造が得られる。

【 0 0 2 4 】

このように本実施の形態1に係る半導体装置及びその製造方法によると、凹部14を形成することによってシリコン層3が予め薄膜化された後に、イオン注入法によって不純物導入領域11が形成される。従って、素子分離絶縁膜5の底面とBOX層2の上面との間に位置する部分のp型のシリコン層3内に、n型の不純物が注入されないため、分離耐圧が低下することを回避できる。しかも、不純物導入領域11はBOX層2の上面に到達して形成されるため、ソース・ドレイン領域12の接合容量が増加することもない。

【 0 0 2 5 】

また、凹部14を形成するためのドライエッチングによって、シリコン層3内に欠陥が形成される。この欠陥はライフタイムキラーとして機能するため、SOI基板を用いた半導体装置に特有の問題である、基板フローティング効果の発生を抑制することもできる。

【 0 0 2 6 】

なお、本実施の形態1ではNMOSトランジスタを例にとり説明したが、PMOSトランジスタの場合であっても、あるいはNMOSトランジスタとPMOSトランジスタとが混載されたCMOSトランジスタの場合であっても、上記と同様の効果を得ることができる。後述の他の実施の形態についても同様である。

【 0 0 2 7 】

実施の形態 2.

図 9 は、本発明の実施の形態 2 に係る半導体装置の構造を示す断面図である。サイドウォール 9 の底面は、ゲート絶縁膜 6 の底面よりも下方に位置している。即ち、サイドウォール 9 が形成されている部分のシリコン層 3 の膜厚は、ゲート絶縁膜 6 が形成されている部分のシリコン層 3 の膜厚よりも薄い。

【 0 0 2 8 】

図 1 0 ～ 1 5 は、本実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。まず、上記実施の形態 1 と同様の方法により、図 2 に示した構造を得る。

【 0 0 2 9 】

図 1 0 を参照して、次に、写真製版法及び異方性ドライエッチング法によって、シリコン酸化膜 1 5、ポリシリコン膜 1 6、及びシリコン酸化膜 1 7 をパターンニングする。これにより、ゲート絶縁膜 6、ポリシリコン膜 1 9、及びシリコン酸化膜 2 0 が形成される。また、オーバーエッチングによって、ゲート絶縁膜 6 及び素子分離絶縁膜 5 から露出している部分のシリコン層 3 を膜厚 D 3 だけエッチングすることにより、凹部 2 1 を形成する。

【 0 0 3 0 】

図 1 1 を参照して、次に、イオン注入法によって、n 型の不純物をシリコン層 3 の上面内に注入することにより、不純物導入領域 1 0 を形成する。不純物導入領域 1 0 は、凹部 2 1 の底面内に形成される。不純物導入領域 1 0 を形成するためのイオン注入の注入エネルギーは、本実施の形態 2 と上記実施の形態 1 とで同一である。

【 0 0 3 1 】

図 1 2 を参照して、次に、CVD 法によってシリコン窒化膜を全面的に形成した後、エッチバックを行うことにより、サイドウォール 9 を形成する。サイドウォール 9 は、ゲート絶縁膜 6、ポリシリコン膜 1 9、及びシリコン酸化膜 2 0 の各側面に接して、凹部 2 1 の底面上に形成されている。

【 0 0 3 2 】

図 1 3 を参照して、次に、シリコン酸化膜はエッチングされやすく、シリコン

、ポリシリコン、及びシリコン窒化膜はエッチングされにくい条件で、エッチングを行う。これにより、シリコン酸化膜20が除去されて、ポリシリコン膜19の上面が露出する。

【0033】

図14を参照して、次に、シリコン及びポリシリコンはエッチングされやすく、シリコン酸化膜及びシリコン窒化膜はエッチングされにくい条件で、異方性ドライエッチングを行う。これにより、サイドウォール9、ゲート絶縁膜6、及び素子分離絶縁膜5から露出している部分のシリコン層3が膜厚D1だけエッチングされて、凹部14が形成される。また、ポリシリコン膜19の上部が併せてエッチングされて、ゲート電極7が形成される。凹部14の底面とBOX層2の上面とによって挟まれている部分のシリコン層3の膜厚D4は、図7に示した膜厚D2よりも、膜厚D3分だけ薄い。

【0034】

図15を参照して、次に、上記実施の形態1と同様に、n型の不純物をシリコン層3の上面内にイオン注入することにより、不純物導入領域11を形成する。上記の通り、本実施の形態2に係るシリコン層3の膜厚D4は、上記実施の形態1に係るシリコン層3の膜厚D2よりも薄い。従って、本実施の形態2においては、不純物導入領域11を形成するためのイオン注入の注入エネルギーを、上記実施の形態1よりも下げることができる。

【0035】

その後、ゲート電極7及びソース・ドレイン領域12の各上面をシリサイド化してコバルトシリサイド層8、13を形成することにより、図9に示した構造が得られる。

【0036】

このように本実施の形態2に係る半導体装置及びその製造方法によると、不純物導入領域11を形成するためのイオン注入の注入エネルギーを、上記実施の形態1よりも下げることができる。そのため、素子分離絶縁膜5の上面に注入された不純物が素子分離絶縁膜5を突き抜けることを、上記実施の形態1よりも確実に回避することができる。

【0037】

図16は、本実施の形態2の変形例に係る半導体装置の製造方法の一工程を示す断面図である。図14に示した工程ではシリコン層3が膜厚D1だけエッチングされたが、図16に示すように、膜厚D5 ($< D1$) だけシリコン層3をエッチングすることによって、凹部22を形成してもよい。凹部22の底面とBOX層2の上面とによって挟まれている部分のシリコン層3の膜厚は、図7に示した膜厚D2に等しい。

【0038】

このように本実施の形態2の変形例に係る半導体装置及びその製造方法によると、対を成す不純物導入領域11同士の間隔を、上記実施の形態1と同程度に保つことができる。そのため、図9に示した構造と比較して、ショートチャネル効果の影響を抑制することができる。

【0039】

また、上記実施の形態1と比較して、不純物導入領域10が膜厚D3分だけ深くに形成される。そのため、不純物導入領域10と不純物導入領域11とが互いに重なり合う度合いを、上記実施の形態1よりも大きくできる。その結果、ソース・ドレイン領域12の寄生抵抗を、上記実施の形態1よりも低減することが可能となる。

【0040】

実施の形態3.

図17, 18は、図7に示した構造のうち、凹部14が形成されている付近の構造を拡大して示す断面図である。図17を参照して、ゲート絶縁膜6が形成されている部分のシリコン層3の上面と、凹部14の側面とが成す角度 α は、 90° よりも大きい。角度 α は、 Cl_2 やHBr等のエッチングガスに添加する O_2 ガスの量によって調整することができる。

【0041】

このように角度 α を 90° よりも大きく設定することにより、図1に示した構造において、コバルトシリサイド層13とチャネル形成領域との間の距離を、比較的長く保つことができる。その結果、コバルトシリサイド層13とチャネル形

成領域との間に流れる接合リーク電流を低減することができる。

【0042】

また、図17を参照して、シリコン層3の上面から凹部14の底面までの深さ（膜厚D1）は、シリコン層3の上面から不純物導入領域10の底面までの深さD6よりも浅い。凹部14の深さは、エッチング時間によって調整することができる。

【0043】

このようにD1<D6に設定することにより、凹部14の形成に起因して不純物導入領域10の寄生抵抗が増加することを、抑制することができる。

【0044】

図18を参照して、凹部14の端部は、ゲート絶縁膜6の端部の下方に潜り込んでいても良い。例えば、等方性エッチングによってシリコン層3をエッチングすることにより、かかる構造を得ることができる。

【0045】

このようにゲート構造の端部の下方に潜り込むように凹部14を形成することにより、ライフタイムキラーとして機能する欠陥を、よりチャネル形成領域に近付けて形成することができる。その結果、基板フローティング効果の発生を、より効果的に抑制することができる。

【0046】

実施の形態4.

図19は、本発明の実施の形態4に係る半導体装置の構造を示す断面図である。SOI基板4内には、NMOSトランジスタとPMOSトランジスタとが形成されている。NMOSトランジスタは、p型のシリコン層3₁、ゲート絶縁膜6₁、ゲート電極7₁、コバルトシリサイド層8₁、13₁、サイドウォール9₁、及びn型のソース・ドレイン領域12₁を備えている。ソース・ドレイン領域12₁は、不純物導入領域10₁、11₁を有している。NMOSトランジスタに関しては、上記実施の形態1と同様に、凹部14₁の底面内にソース・ドレイン領域12₁が形成された構造（以下、本明細書において「リセスソース・ドレイン構造」と称する）が採用されている。

【0047】

上記実施の形態1で述べたように、リセスソース・ドレイン構造を採用すると、基板フローティング効果の発生を抑制することができる。一般的に、基板フローティング効果は、PMOSトランジスタよりもNMOSトランジスタのほうが問題となる。そのため、NMOSトランジスタにリセスソース・ドレイン構造を採用することにより、NMOSトランジスタに関して基板フローティング効果の発生を抑制することができる。

【0048】

PMOSトランジスタは、n型のシリコン層 3_2 、ゲート絶縁膜 6_2 、ゲート電極 7_2 、コバルトシリサイド層 8_2 、 13_2 、サイドウォール 9_2 、及びp型のソース・ドレイン領域 12_2 を備えている。ソース・ドレイン領域 12_2 は、不純物導入領域 10_2 、 11_2 を有している。PMOSトランジスタに関しては、リセスソース・ドレイン構造が採用されておらず、従来の半導体装置と同様に、シリコン層 3_2 の上面内に不純物導入領域 10_2 、 11_2 が形成された、通常のソース・ドレイン構造が採用されている。

【0049】

リセスソース・ドレイン構造を採用しない場合は、リセスソース・ドレイン構造を採用した場合と比較すると、特にシリコン層3の深部において、対を成す不純物導入領域11同士の間隔を広げることができる。そのため、ショートチャネル効果の発生を抑制することができる。一般的に、ショートチャネル効果は、NMOSトランジスタよりもPMOSトランジスタのほうが問題となる。そのため、分離耐圧よりもトランジスタの性能が優先される場合には、PMOSトランジスタにリセスソース・ドレイン構造を採用しないことにより、PMOSトランジスタに関してショートチャネル効果を改善することができる。

【0050】

NMOSトランジスタとPMOSトランジスタとの間には、底面の一部がBOX層2の上面に到達する、いわゆる完全分離型の素子分離絶縁膜 23 が形成されている。これにより、NMOSトランジスタとPMOSトランジスタとは、互いに電氣的に分離されている。この分離構造を用いることにより、ラッチアップを

抑制することができる。この分離構造は、他の全ての実施の形態にも適用可能である。

【0051】

図20～27は、本実施の形態4に係る半導体装置の製造方法を工程順に示す断面図である。図20を参照して、熱酸化法によって、シリコン酸化膜15をシリコン層3₁、3₂の上面上に形成する。次に、CVD法によって、ポリシリコン膜16を全面的に形成する。

【0052】

図21を参照して、次に、写真製版法及び異方性ドライエッチング法によって、ポリシリコン膜16をパターニングする。これにより、ポリシリコン膜19₁及びゲート電極7₂が形成される。また、シリコン酸化膜15の一部がエッチングされて、シリコン酸化膜18₁、18₂が形成される。

【0053】

図22を参照して、次に、写真製版法及びイオン注入法によって、n型の不純物をシリコン酸化膜18₁を介してシリコン層3₁の上面に注入することにより、不純物導入領域10₁を形成する。次に、写真製版法及びイオン注入法によって、p型の不純物をシリコン酸化膜18₂を介してシリコン層3₂の上面に注入することにより、不純物導入領域10₂を形成する。

【0054】

図23を参照して、次に、CVD法によってシリコン窒化膜を全面的に形成した後にエッチバックを行う。これにより、ポリシリコン膜19₁の側面にサイドウォール9₁が形成されるとともに、ゲート電極7₂の側面にサイドウォール9₂が形成される。また、ゲート絶縁膜6₁、6₂が形成される。

【0055】

図24を参照して、次に、写真製版法によって、PMOSトランジスタの形成予定領域を覆ってフォトレジスト24を形成する。

【0056】

図25を参照して、次に、フォトレジスト24をエッチングマスクに用いて、シリコン及びポリシリコンはエッチングされやすく、シリコン酸化膜及びシリコ

ン窒化膜はエッチングされにくい条件で、異方性ドライエッチングを行う。これにより、フォトレジスト24、ゲート絶縁膜6₁、及び素子分離絶縁膜5、23から露出している部分のシリコン層3₁がエッチングされて、凹部14₁が形成される。また、ポリシリコン膜19₁の上部が併せてエッチングされて、ゲート電極7₁が形成される。

【0057】

図26を参照して、次に、フォトレジスト24を注入マスクに用いて、イオン注入法によって、n型の不純物をシリコン層3₁の上面内に注入することにより、不純物導入領域11₁を形成する。n型の不純物は、ゲート電極7₁内にも注入される。その後、フォトレジスト24を除去する。

【0058】

図27を参照して、次に、写真製版法によって、NMOSトランジスタの形成予定領域を覆ってフォトレジスト25を形成する。次に、フォトレジスト25を注入マスクに用いて、イオン注入法によって、p型の不純物をシリコン層3₂の上面内に注入することにより、不純物導入領域11₂を形成する。p型の不純物は、ゲート電極7₂内にも注入される。その後、フォトレジスト25を除去する。

【0059】

その後、ゲート電極7₁、7₂及びソース・ドレイン領域12₁、12₂の各上面をシリサイド化してコバルトシリサイド層8₁、8₂、13₁、13₂を形成することにより、図19に示した構造が得られる。

【0060】

図28は、本実施の形態4の変形例に係る半導体装置の構造を示す断面図である。PMOSトランジスタに関しては、上記実施の形態1と同様に、凹部14₂の底面内にソース・ドレイン領域12₂が形成された、リセスソース・ドレイン構造が採用されている。

【0061】

上記実施の形態1で述べたように、リセスソース・ドレイン構造の採用によってゲートポリシリコンを薄膜化することにより、ゲート空乏化を抑制することが

できる。一般的に、ゲート空乏化は、NMOSトランジスタよりもPMOSトランジスタのほうが問題となる。そのため、PMOSトランジスタにリセスソース・ドレイン構造を採用することにより、PMOSトランジスタのゲート空乏化を効果的に抑制することができる。

【0062】

NMOSトランジスタに関しては、リセスソース・ドレイン構造が採用されておらず、従来の半導体装置と同様に、通常のソース・ドレイン構造が採用されている。

【0063】

リセスソース・ドレイン構造を採用しない場合は、リセスソース・ドレイン構造を採用した場合と比較すると、ソース・ドレイン領域12の寄生抵抗が小さくなる。凹部14が形成されない分だけ、不純物導入領域10₂、11₂の面積の縮小を回避できるからである。一般的に、高速動作が要求されるロジック回路等においては、PMOSトランジスタよりもNMOSトランジスタが多用されている。NMOSトランジスタにリセスソース・ドレイン構造を採用しないことにより、ソース・ドレイン領域12の寄生抵抗の増加に起因して動作速度が低下することを、回避することができる。

【0064】

なお、図19、28では、NMOSトランジスタ及びPMOSトランジスタのうちのいずれか一方のみにリセスソース・ドレイン構造が採用されている場合を示したが、NMOSトランジスタ及びPMOSトランジスタの双方にリセスソース・ドレイン構造が採用されていても構わない。

【0065】

実施の形態5.

図29は、本発明の実施の形態5に係る半導体装置の構造を示す断面図である。SOI基板4内には、比較的低い電源電圧（例えば1.0V）で動作するMOSトランジスタ（以下「低電圧動作トランジスタ」と称する）と、比較的高い電源電圧（例えば3.3V）で動作するMOSトランジスタ（以下「高電圧動作トランジスタ」と）が形成されている。低電圧動作トランジスタは、例えばCPUコ

アを構成するトランジスタである。高電圧動作トランジスタは、例えば入出力回路を構成するトランジスタである。

【0066】

低電圧動作トランジスタは、ゲート絶縁膜6、ゲート電極7、コバルトシリサイド層8、13、サイドウォール9、及びソース・ドレイン領域12を備えている。ソース・ドレイン領域12は、不純物導入領域10、11を有している。低電圧動作トランジスタに関しては、リセスソース・ドレイン構造が採用されている。

【0067】

リセスソース・ドレイン構造を採用することにより、低電圧動作トランジスタに関して、基板フローティング効果の発生や分離耐压の低下を抑制することができる。

【0068】

高電圧動作トランジスタは、ゲート絶縁膜30、ゲート電極31、コバルトシリサイド層32、37、サイドウォール33、及びソース・ドレイン領域36を備えている。ソース・ドレイン領域36は、不純物導入領域34、35を有している。高電圧動作トランジスタに関しては、リセスソース・ドレイン構造が採用されていない。

【0069】

一例として、低電圧動作トランジスタのゲート長が80nm程度であるのに対して、高電圧動作トランジスタのゲート長は0.4 μ m程度である。即ち、高電圧動作トランジスタは、低電圧動作トランジスタよりもゲート長が長い。従って、高電圧動作トランジスタに関しては、素子分離絶縁膜5の上面とシリコン層3の上面との段差が大きくなるように素子分離絶縁膜5の膜厚を厚くすることによって、分離耐压の低下を抑制することができる。上記段差に起因してゲート電極31の寸法に変動が生じたとしても、そもそもゲート長が長いため、寸法の変動が動作速度の低下や特性のばらつきに及ぼす影響が少ないからである。

【0070】

また、SOI基板4の上面のうち入出力回路が占める面積は、CPUコアが占

める面積よりも十分に小さい。従って、入出力回路に関してデザインルールを大きく設定したとしても、ICチップの大型化に対する影響は比較的少ない。デザインルールを大きく設定すると、素子分離絶縁膜5の分離長も長くなるため、リセスソース・ドレイン構造を採用するまでもなく、所望の分離耐圧を確保できる。

【0071】

以上のように、素子分離絶縁膜5の膜厚を厚くしたり、デザインルールを大きく設定することができる場合は、高電圧動作トランジスタに関してリセスソース・ドレイン構造を採用することなく、低電圧動作トランジスタに関してのみ採用することが可能である。上記の通り、リセスソース・ドレイン構造を採用しないことにより、寄生抵抗の増加に起因する動作速度の低下を回避することができる。

【0072】

図30は、本実施の形態5の変形例に係る半導体装置の構造を示す断面図である。高電圧動作トランジスタに関しては、凹部38の底面内にソース・ドレイン領域36が形成された、リセスソース・ドレイン構造が採用されている。

【0073】

入出回路に関して、素子分離絶縁膜5の膜厚を厚くしたり、デザインルールを大きく設定することができない場合もある。このような場合、高電圧動作トランジスタについては、低電圧動作トランジスタよりも高い分離耐圧が要求される。高電圧動作トランジスタには、低電圧動作トランジスタよりも高い電源電圧が印加されるからである。従って、このような場合は高電圧動作トランジスタにリセスソース・ドレイン構造を採用することによって、分離耐圧を高めることができる。

【0074】

一方、低電圧動作トランジスタに関しては、リセスソース・ドレイン構造が採用されておらず、通常のソース・ドレイン構造が採用されている。

【0075】

上記の通り、リセスソース・ドレイン構造を採用しない場合は、凹部14が形

成されない分だけソース・ドレイン領域 1 2 の寄生抵抗が小さくなる。従って、高速動作が要求される CPU コアにおいては、低電圧動作トランジスタにリセスソース・ドレイン構造を採用しないことにより、寄生抵抗の増加に起因する動作速度の低下を回避することができる。

【 0 0 7 6 】

なお、図 2 9, 3 0 では、低電圧動作トランジスタ及び高電圧動作トランジスタのうちのいずれか一方のみにリセスソース・ドレイン構造が採用されている場合を示したが、低電圧動作トランジスタ及び高電圧動作トランジスタの双方にリセスソース・ドレイン構造が採用されていても構わない。

【 0 0 7 7 】

低電圧動作トランジスタ及び高電圧動作トランジスタのうちのいずれか一方のみにリセスソース・ドレイン構造を採用したい場合には、上記実施の形態 4 と同様に、フォトリジスト 2 4, 2 5 を用いて、ソース・ドレイン領域の構造を作り分ければよい。

【 0 0 7 8 】

また、NMOS 構造の低電圧トランジスタと PMOS 構造の低電圧トランジスタとが混在している場合に、上記実施の形態 4 と同様に、NMOS 及び PMOS の一方のトランジスタのみにリセスソース・ドレイン構造を採用しても良い。NMOS 構造の高電圧トランジスタと PMOS 構造の高電圧動作トランジスタとが混在している場合についても同様である。

【 0 0 7 9 】

実施の形態 6.

図 3 1 は、本発明の実施の形態 6 に係る半導体装置の製造方法の一工程を示す断面図である。上記実施の形態 1 等では、ポリシリコン膜 1 9 上に形成されたシリコン酸化膜 2 0 が除去された後に、凹部 1 4 を形成するためのエッチングが行われた。そのため、図 7 に示したように、エッチングによってポリシリコン膜 1 9 が薄膜化された結果として、ゲート電極 7 が形成された。

【 0 0 8 0 】

これに対し本実施の形態 6 では、図 3 1 に示すように、ポリシリコン膜 1 9 上

に、シリコン酸化膜20ではなくシリコン窒化膜40を形成する。すると、図6に示した工程でシリコン窒化膜40がエッチングされないため、凹部14を形成するためのエッチング工程において、シリコン窒化膜40がエッチングマスクとして機能することにより、ポリシリコン膜19はエッチングされない。従って、ポリシリコン膜19がそのままゲート電極となる。

【0081】

不純物導入領域11を形成するためのイオン注入工程（図8）において、シリコン窒化膜40を介してポリシリコン膜19内にも不純物がイオン注入される。

【0082】

このように本実施の形態6に係る半導体装置及びその製造方法によると、上記実施の形態1と比較してゲート電極の膜厚が厚くなる。従って、不純物導入領域11を形成するためのイオン注入工程において、ポリシリコン膜19内に注入された不純物がポリシリコン膜19を突き抜けて、ゲート絶縁膜6やチャネル形成領域にまで到達することを抑制できる。その結果、不純物の突き抜けに起因するしきい値電圧の変動を、抑制することができる。

【0083】

また、ポリシリコン膜19の膜厚がそのままゲート電極の膜厚となるため、上記実施の形態1等と比較して、ゲート電極の膜厚制御が容易となる。

【0084】

本実施の形態6に係るリセスソース・ドレイン構造は、他の全ての実施の形態にも適用することができる。

【0085】

実施の形態7.

図32、33は、本発明の実施の形態7に係る半導体装置の製造方法を工程順に示す断面図である。図32を参照して、図31に示す構造を得た後、CVD法によって、シリコン窒化膜又はシリコン酸化膜を全面に形成する。次に、そのシリコン窒化膜又はシリコン酸化膜をエッチバックすることにより、サイドウォール41、42を形成する。サイドウォール41は、サイドウォール9の側面に接して、凹部41の底面上に形成されている。サイドウォール42は、素子分離絶

縁膜 5 の側面に接して、凹部 4 1 の底面上に形成されている。

【 0 0 8 6 】

図 3 3 を参照して、次に、イオン注入法によって不純物導入領域 1 1 を形成する。次に、ソース・ドレイン領域 1 2 の上面をシリサイド化することにより、コバルトシリサイド層 4 3 を形成する。コバルトシリサイド層 4 3 は、サイドウォール 4 1, 4 2 から露出している部分の凹部 1 4 の底面上に形成されている。

【 0 0 8 7 】

なお、以上の説明では、上記実施の形態 6 を基礎として本実施の形態 7 に係る半導体装置の製造方法について述べたが、本実施の形態 7 に係る発明は、他の全ての実施の形態に適用することができる。

【 0 0 8 8 】

また、サイドウォール 4 1 を形成した後に不純物導入領域 1 1 を形成したが、これとは逆に、不純物導入領域 1 1 を形成した後にサイドウォール 4 1 を形成してもよい。

【 0 0 8 9 】

さらに、素子分離絶縁膜 5 の上面と凹部 1 4 の底面との段差が小さい場合には、サイドウォール 4 2 が形成されないこともある。

【 0 0 9 0 】

また、本実施の形態 7 に係る半導体装置の製造方法が、シリサイドプロテクション膜の形成工程（シリサイドプロテクション工程）を備える場合には、シリサイドプロテクション膜の一部としてサイドウォール 4 1, 4 2 を形成してもよい。シリサイドプロテクション工程は、シリサイド化されないことによって高抵抗のポリシリコン膜を形成する工程である。シリサイドプロテクション工程においてサイドウォール 4 1, 4 2 を併せて形成することにより、製造工程数の増加を防止することができる。

【 0 0 9 1 】

このように本実施の形態 7 に係る半導体装置及びその製造方法によると、サイドウォール 4 1 が形成されることに起因して、コバルトシリサイド層 4 3 とチャネル形成領域との間の距離が長くなる。その結果、コバルトシリサイド層 4 3 と

チャンネル形成領域との間に流れる接合リーク電流を低減することができる。

【0092】

また、サイドウォール42が形成されることに起因して、コバルトシリサイド層43と、素子分離絶縁膜5の下方に位置する部分のシリコン層3との間の距離が長くなる。その結果、コバルトシリサイド層43と、この部分のシリコン層3との間に流れる接合リーク電流を低減することができる。

【0093】

実施の形態8.

図34、35は、本発明の実施の形態8に係る半導体装置の製造方法を工程順に示す断面図である。図34を参照して、図8に示す構造を得た後、選択的エピタキシャル成長法によって、ゲート電極7上及びソース・ドレイン領域12上に、シリコン層50、51をそれぞれ形成する。次に、イオン注入法によって、シリコン層50、51内にn型の不純物を高濃度で注入する。

【0094】

図35を参照して、次に、シリコン層50、51の各上面をシリサイド化することにより、コバルトシリサイド層52、53を形成する。シリコン層50、51内にn型の不純物が注入されているため、シリコン層50、51とコバルトシリサイド層52、53との接触抵抗は低減されている。

【0095】

このように本実施の形態8に係る半導体装置及びその製造方法によると、コバルトシリサイド層53は、ソース・ドレイン領域12上に形成されたシリコン層51上に形成されている。従って、コバルトシリサイド層53とチャンネル形成領域との間の距離が長くなるため、両者間に流れる接合リーク電流を低減することができる。

【0096】

実施の形態9.

図36～38は、本発明の実施の形態9に係る半導体装置の製造方法を工程順に示す断面図である。図36を参照して、図4に示す構造を得た後、CVD法によって、シリコン窒化膜60を全面的に形成する。次に、写真製版法によって、

素子分離絶縁膜 5 の上方に位置する部分のシリコン窒化膜 60 上に、フォトレジスト 61 を形成する。

【0097】

図 37 を参照して、次に、フォトレジスト 61 をエッチングマスクに用いて、異方性ドライエッチング法によってシリコン窒化膜 60 をエッチバックする。これにより、サイドウォール 9 が形成されるとともに、素子分離絶縁膜 5 上にシリコン窒化膜 62 が形成される。次に、フォトレジスト 61 を除去する。

【0098】

図 38 を参照して、次に、シリコン酸化膜 20 と、サイドウォール 9 及びポリシリコン膜 19 から露出している部分のシリコン酸化膜 18 とを除去する。次に、ゲート絶縁膜 6 及び素子分離絶縁膜 5 から露出している部分のシリコン層 3 をエッチングすることにより、凹部 14 を形成する。また、ポリシリコン膜 19 の上部を併せてエッチングすることにより、ゲート電極 7 を形成する。その後は、図 8 に示した工程以降の工程が順に実行される。

【0099】

このように本実施の形態 9 に係る半導体装置及びその製造方法によると、素子分離絶縁膜 5 上にシリコン窒化膜 62 が形成された構造と、リセスソース・ドレイン構造とを組み合わせることにより、分離耐圧の低下を効果的に抑制することが可能となる。即ち、サイドウォール 9 を形成する工程において、シリコン窒化膜 62 が素子分離絶縁膜 5 上に併せて形成されることにより、実質的に素子分離絶縁膜 5 の膜厚が厚くなる。そのため、不純物導入領域 11 を形成するためのイオン注入工程において、n 型の不純物が素子分離絶縁膜 5 を突き抜けてシリコン層 3 内に注入されることを、さらに抑制することができる。

【0100】

なお、図 37 には、全体が素子分離絶縁膜 5 上に形成された、幅狭のシリコン窒化膜 62 を示したが、端部がシリコン酸化膜 18 上に形成された、幅広のシリコン窒化膜 62 を形成しても良い。この場合、不純物導入領域 11 の面積が小さくなるため、接合容量を低減することができる。

【0101】

【発明の効果】

この発明によれば、凹部を形成することによって半導体層を予め薄膜化した後に、ソース・ドレイン領域を形成することができる。従って、素子分離絶縁膜の底面と絶縁層の上面との間に位置している部分の第 1 導電型の半導体層内に、第 2 導電型の不純物が注入されないため、分離耐圧が低下することを回避できる。しかも、ソース・ドレイン領域は絶縁層に到達して形成されているため、ソース・ドレイン領域の接合容量が増加することもない。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 に係る半導体装置の構造を示す断面図である。

【図 2】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 3】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 4】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 5】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 6】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 7】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 8】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 9】 本発明の実施の形態 2 に係る半導体装置の構造を示す断面図である。

【図 1 0】 本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 1 1】 本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に

示す断面図である。

【図 1 2】 本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 1 3】 本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 1 4】 本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 1 5】 本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 1 6】 本発明の実施の形態 2 の変形例に係る半導体装置の製造方法の一工程を示す断面図である。

【図 1 7】 本発明の実施の形態 3 に関して、図 7 に示した構造のうち、凹部が形成されている付近の構造を拡大して示す断面図である。

【図 1 8】 本発明の実施の形態 3 に関して、図 7 に示した構造のうち、凹部が形成されている付近の構造を拡大して示す断面図である。

【図 1 9】 本発明の実施の形態 4 に係る半導体装置の構造を示す断面図である。

【図 2 0】 本発明の実施の形態 4 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 2 1】 本発明の実施の形態 4 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 2 2】 本発明の実施の形態 4 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 2 3】 本発明の実施の形態 4 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 2 4】 本発明の実施の形態 4 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 2 5】 本発明の実施の形態 4 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 2 6】 本発明の実施の形態 4 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 2 7】 本発明の実施の形態 4 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 2 8】 本発明の実施の形態 4 の変形例に係る半導体装置の構造を示す断面図である。

【図 2 9】 本発明の実施の形態 5 に係る半導体装置の構造を示す断面図である。

【図 3 0】 本発明の実施の形態 5 の変形例に係る半導体装置の構造を示す断面図である。

【図 3 1】 本発明の実施の形態 6 に係る半導体装置の製造方法の一工程を示す断面図である。

【図 3 2】 本発明の実施の形態 7 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 3 3】 本発明の実施の形態 7 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 3 4】 本発明の実施の形態 8 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 3 5】 本発明の実施の形態 8 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 3 6】 本発明の実施の形態 9 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 3 7】 本発明の実施の形態 9 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 3 8】 本発明の実施の形態 9 に係る半導体装置の製造方法を工程順に示す断面図である。

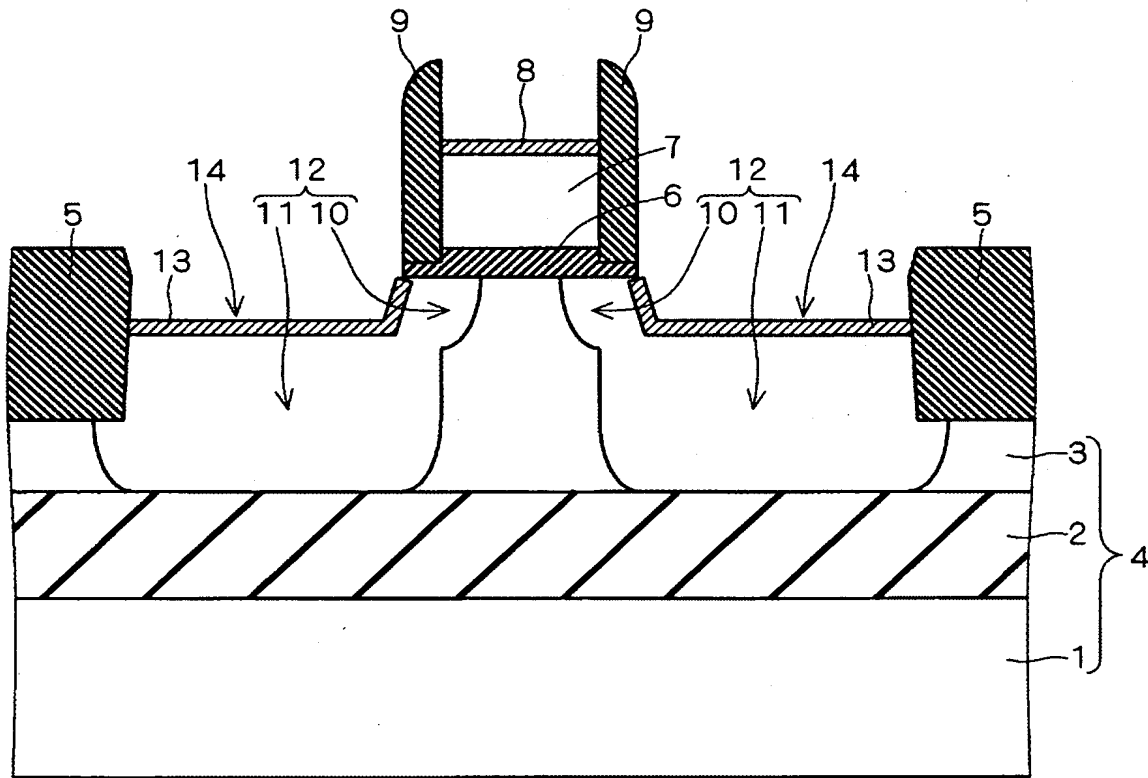
【符号の説明】

1 シリコン基板、2 BOX層、3 シリコン層、4 SOI基板、5 素子分離絶縁膜、6 ゲート絶縁膜、7 ゲート電極、8, 13, 43, 52, 5

3 コバルトシリサイド層、9, 41, 42 サイドウォール、10, 11 不
純物導入領域、12 ソース・ドレイン領域、14, 21, 22 凹部、15,
17, 18, 20 シリコン酸化膜、16, 19 ポリシリコン膜、40, 60
, 62 シリコン窒化膜、50, 51 シリコン層。

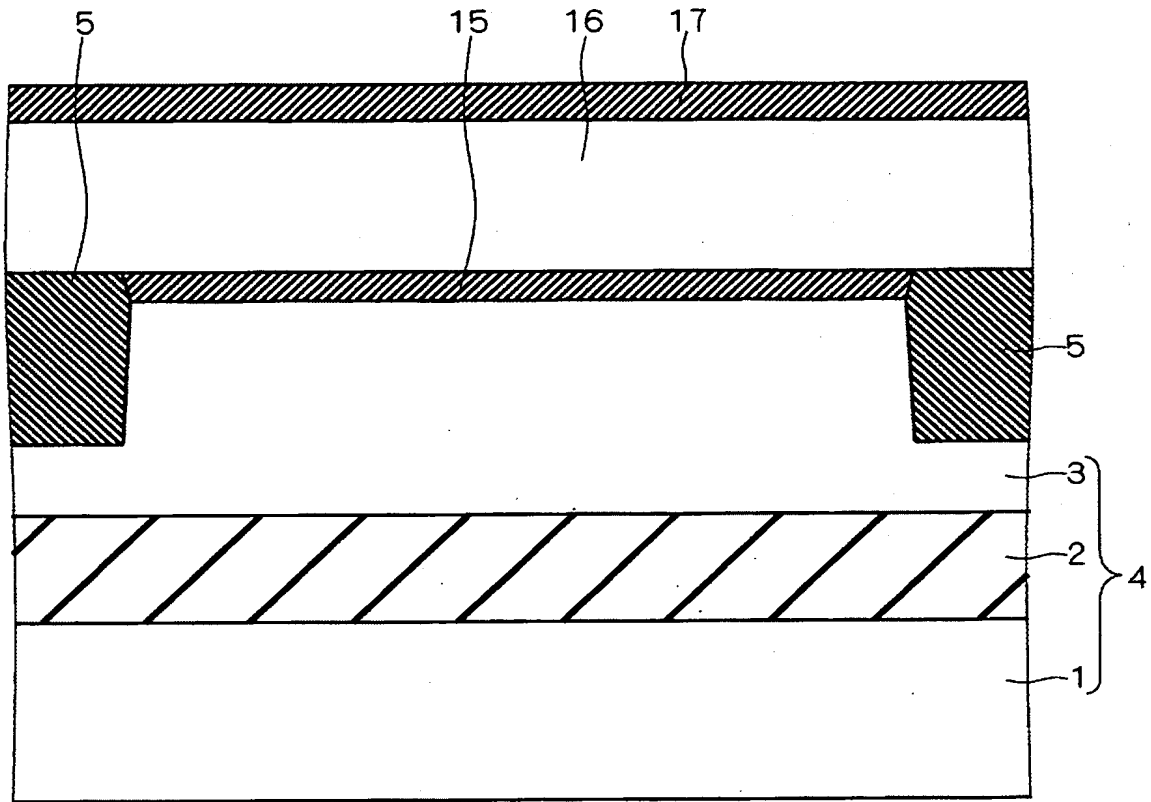
【書類名】 図面

【図 1】



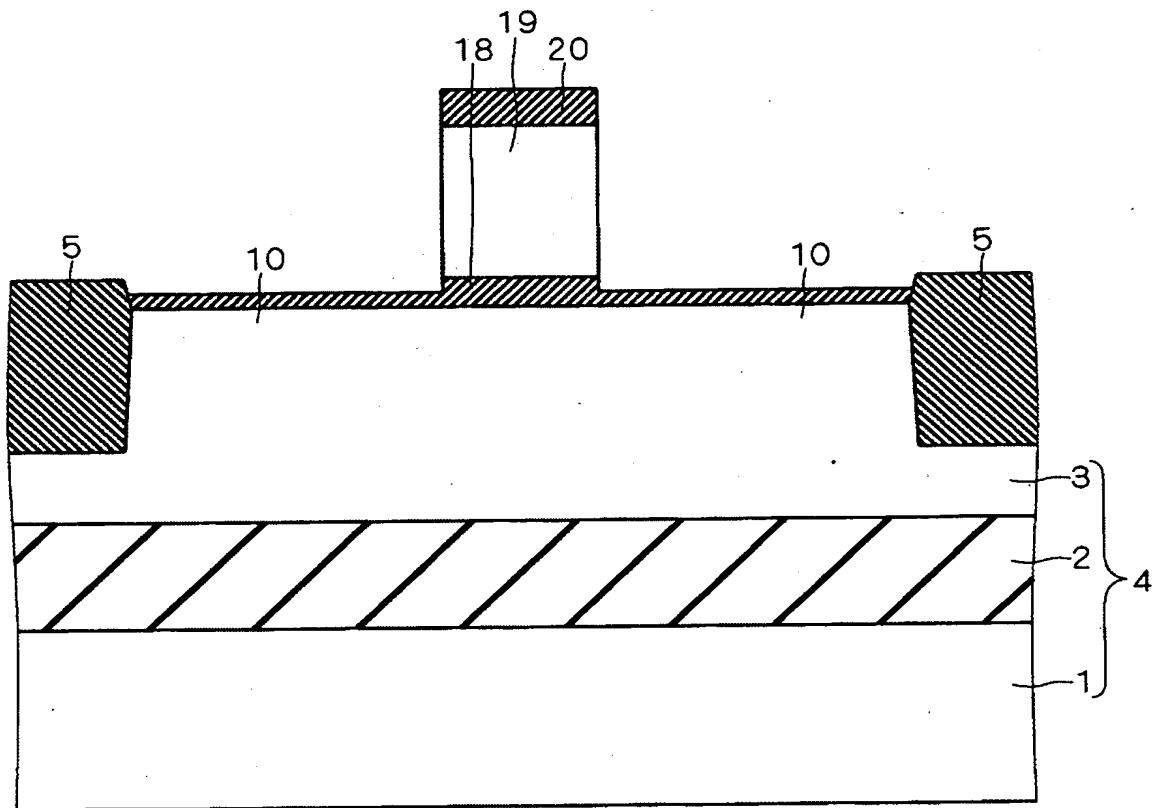
- 1 : シリコン基板
- 2 : BOX層
- 3 : シリコン層
- 4 : SOI基板
- 5 : 素子分離絶縁膜
- 6 : ゲート絶縁膜
- 7 : ゲート電極
- 8, 13 : コバルトシリサイド層
- 9 : サイドウォール
- 10, 11 : 不純物導入領域
- 12 : ソース・ドレイン領域
- 14 : 凹部

【図 2】



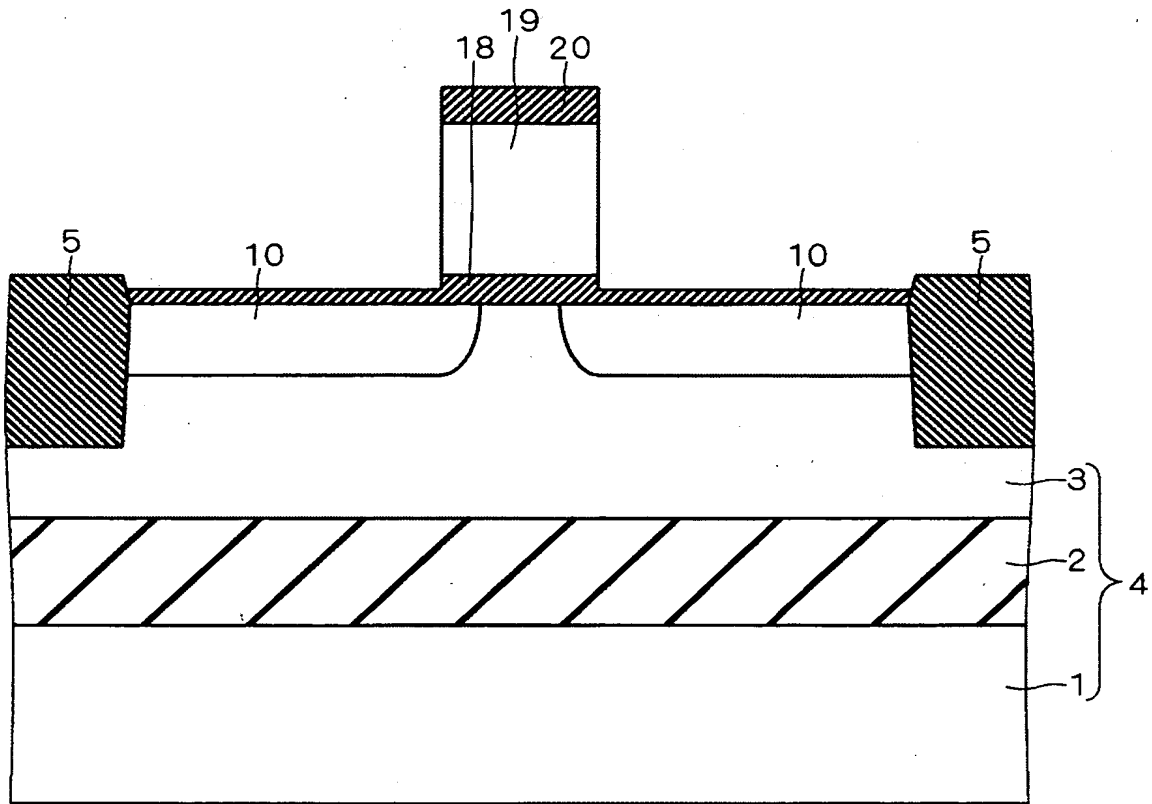
15, 17 : シリコン酸化膜
16 : ポリシリコン膜

【図 3】

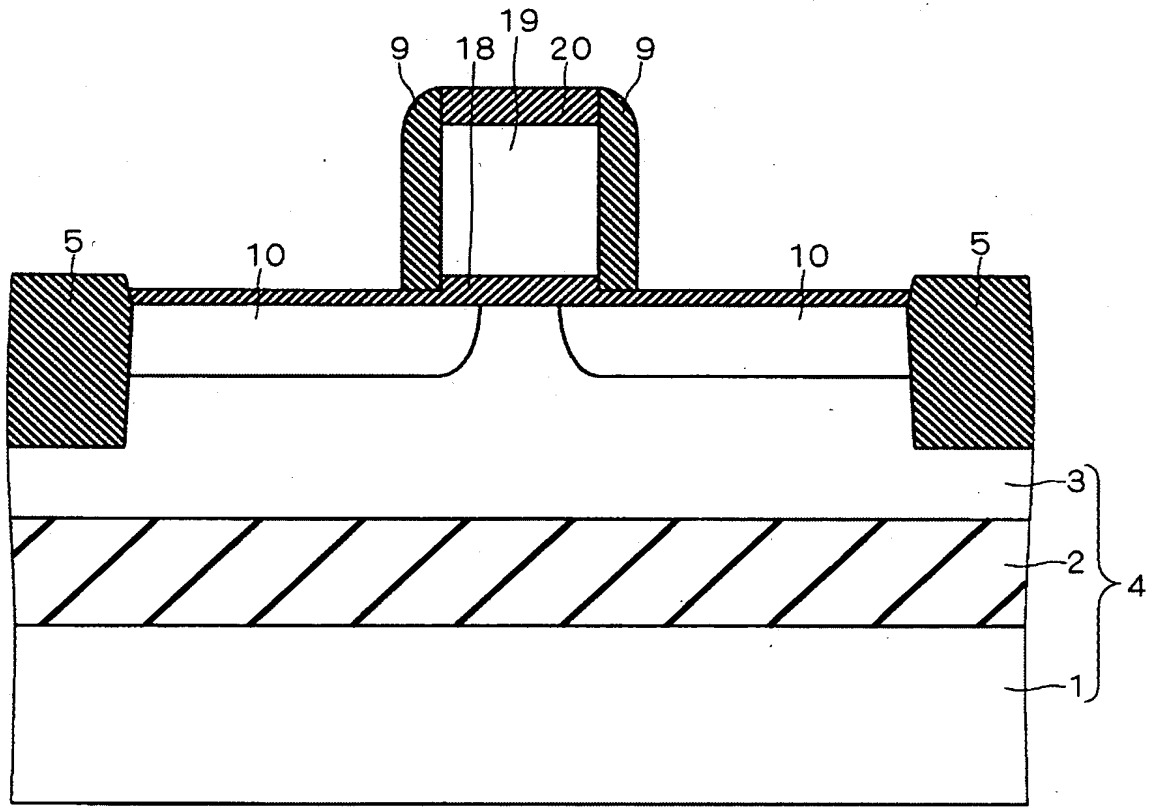


18, 20 : シリコン酸化膜
19 : ポリシリコン膜

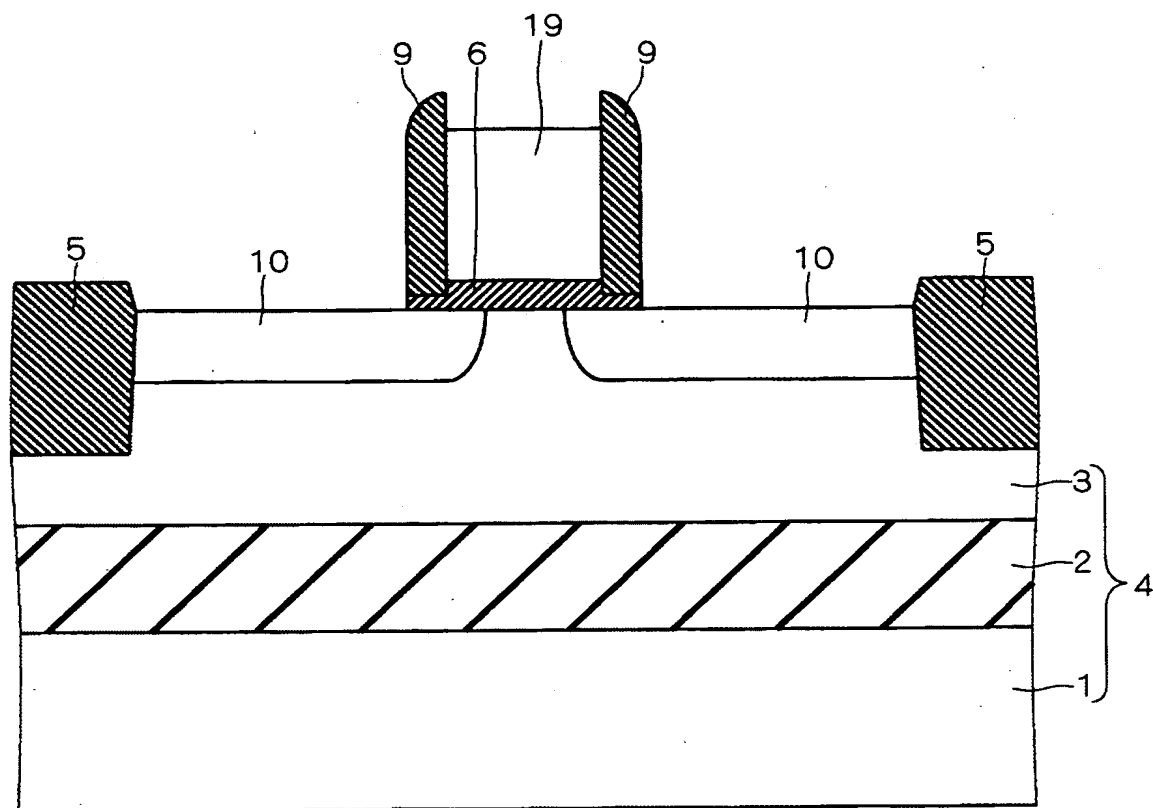
【図 4】



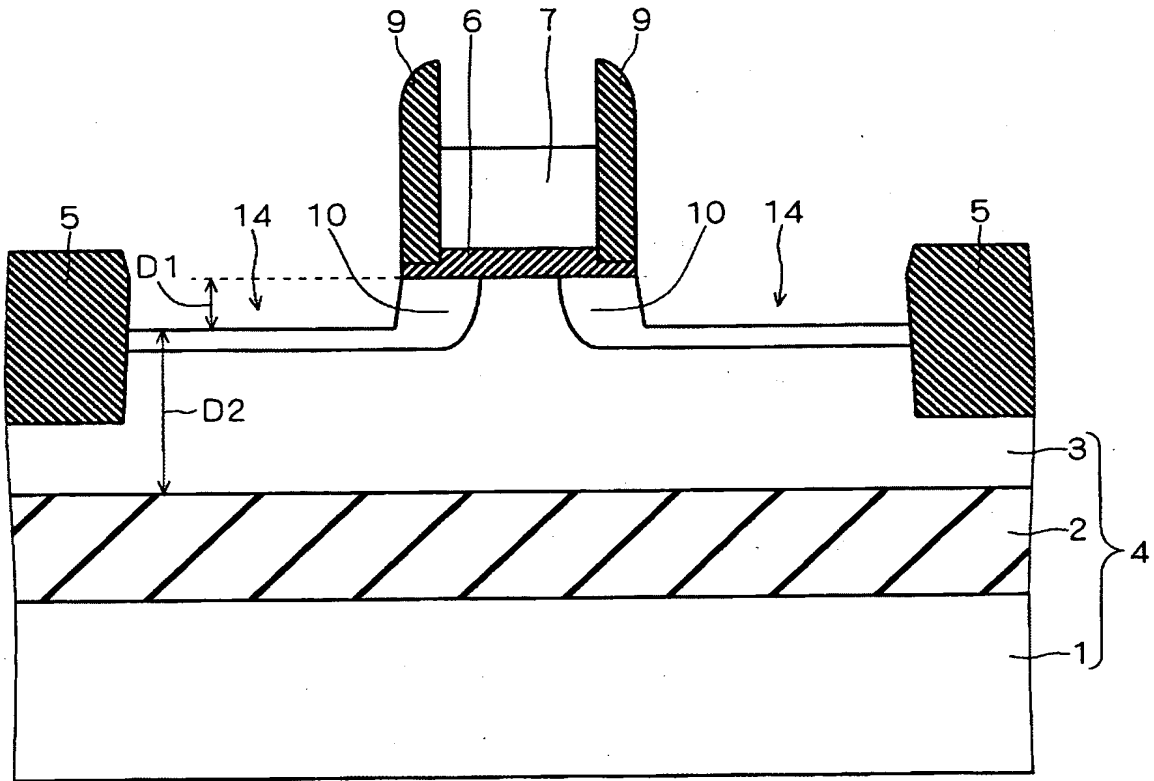
【図 5】



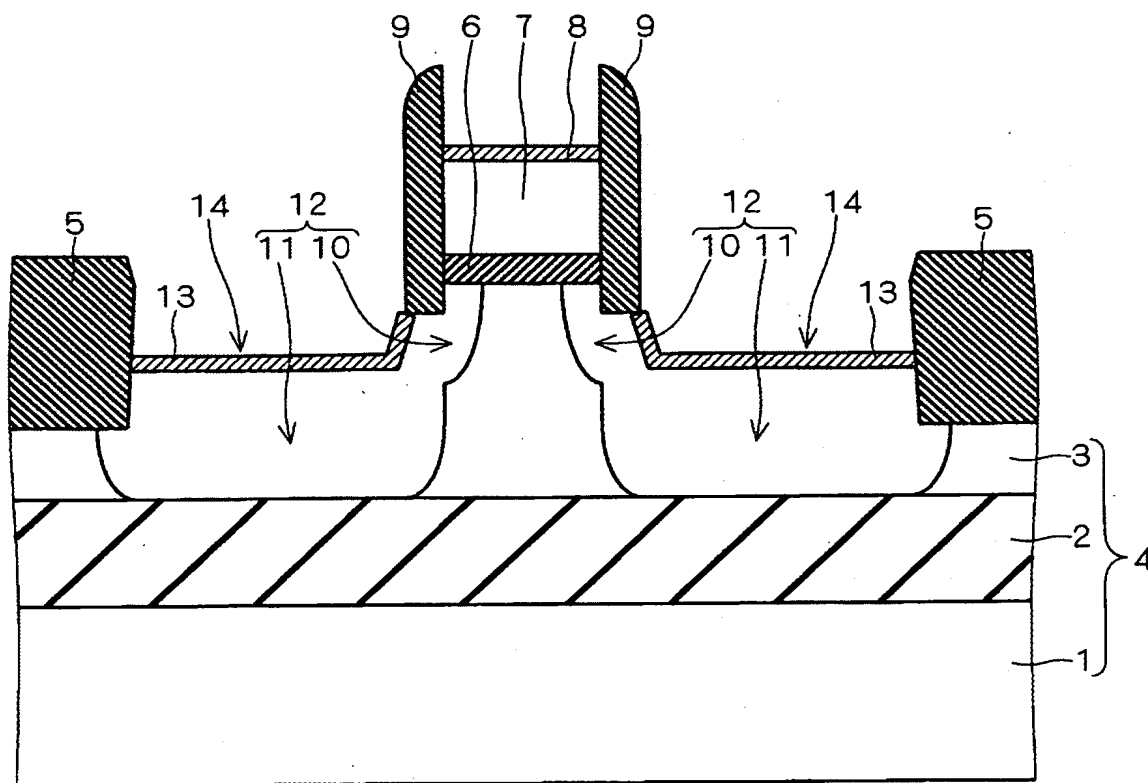
【図 6】



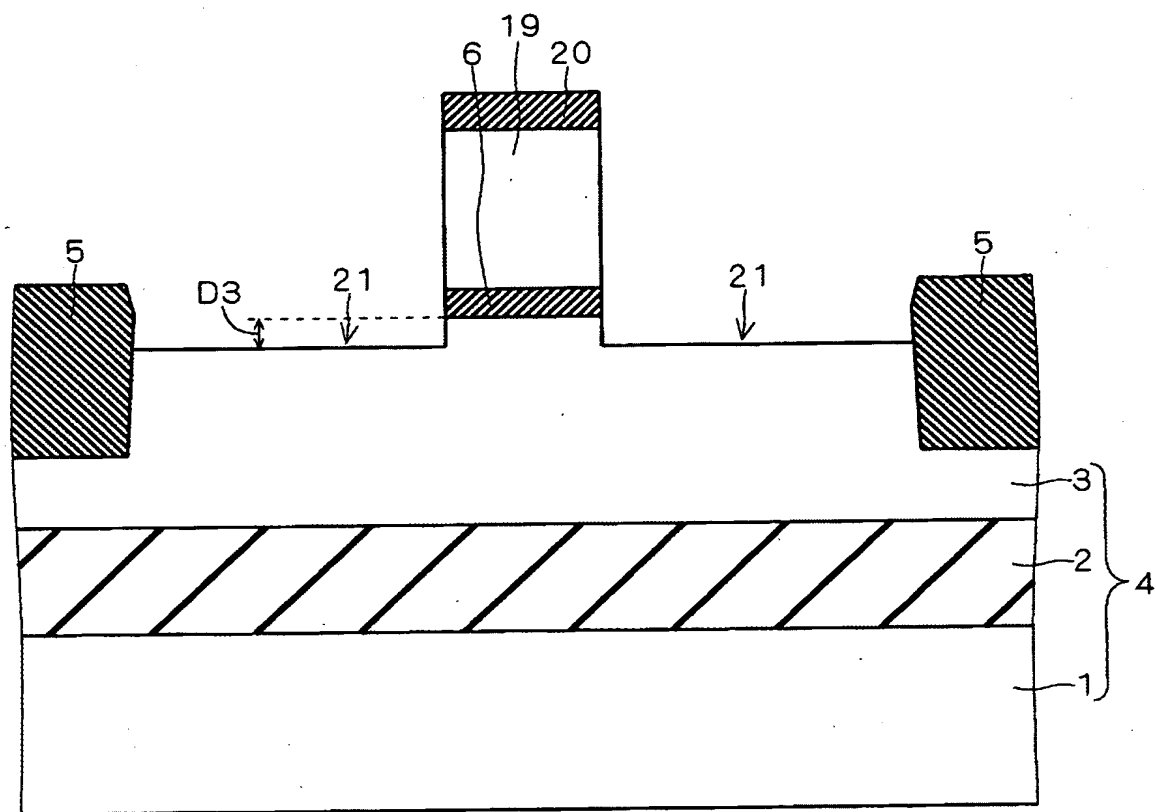
【図 7】



【图 9】

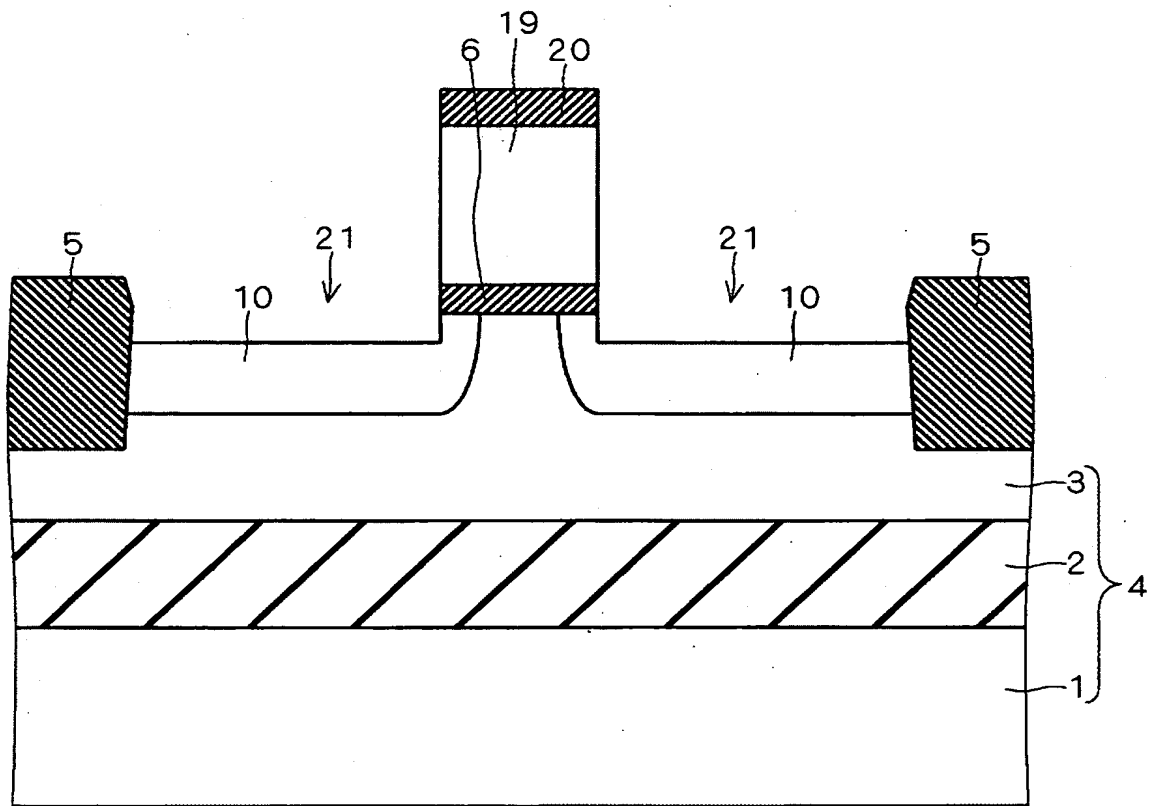


【図10】

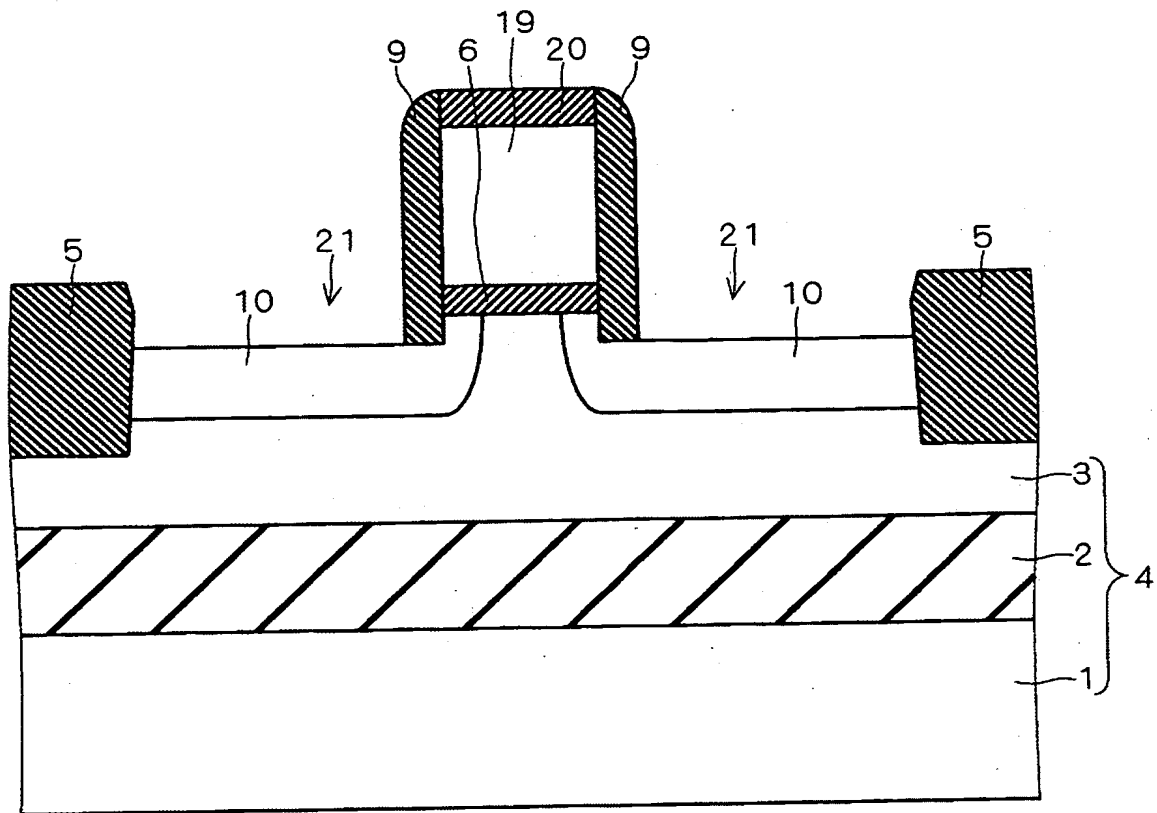


21 : 凹部

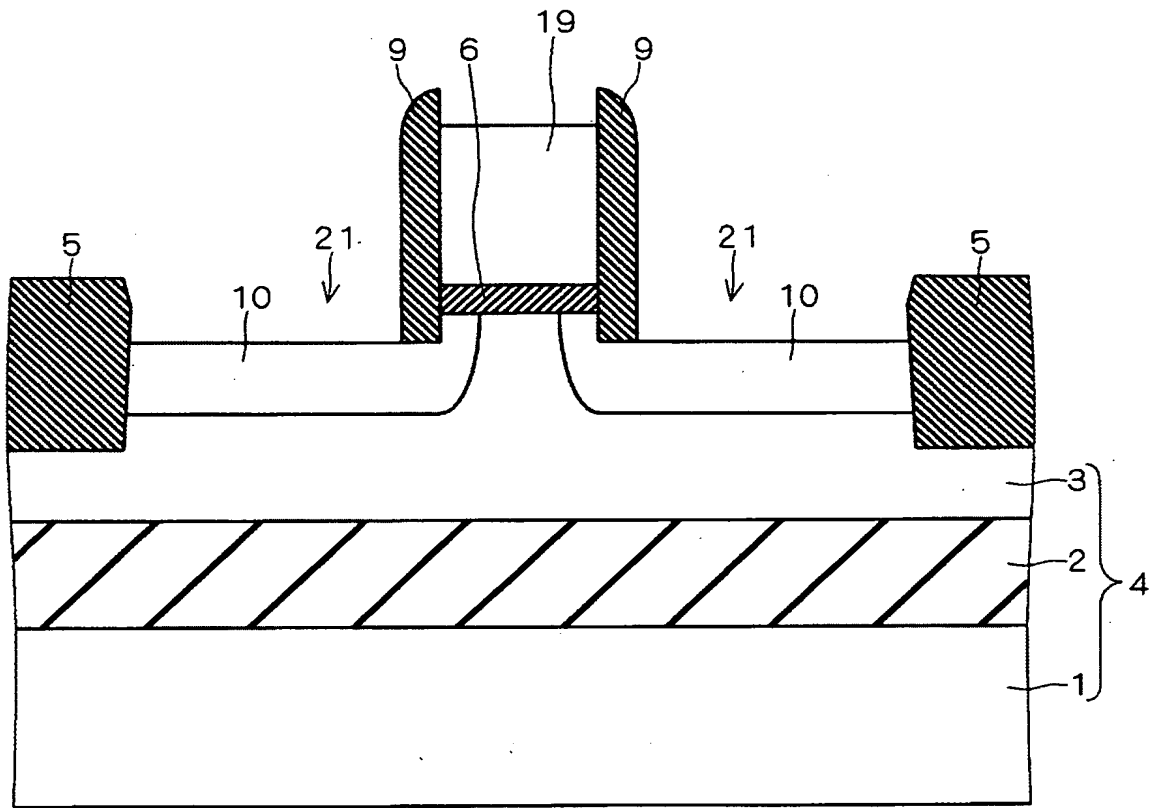
【図 11】



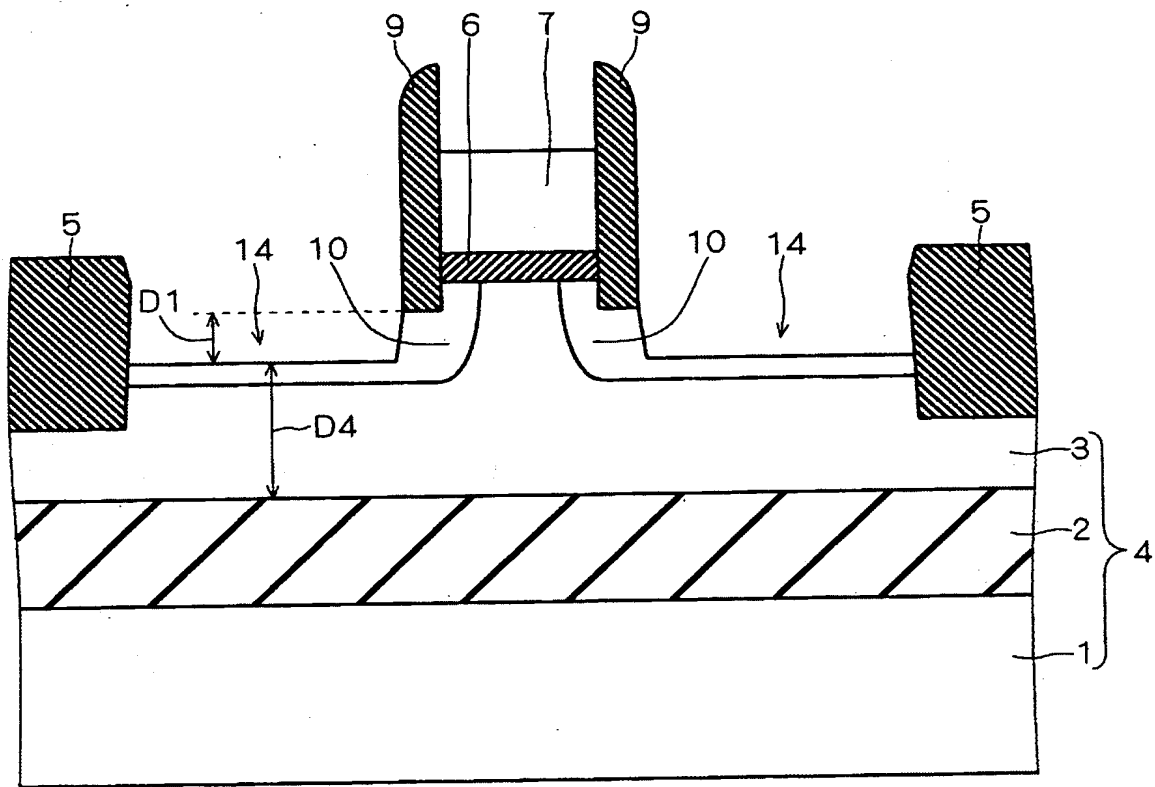
【図 12】



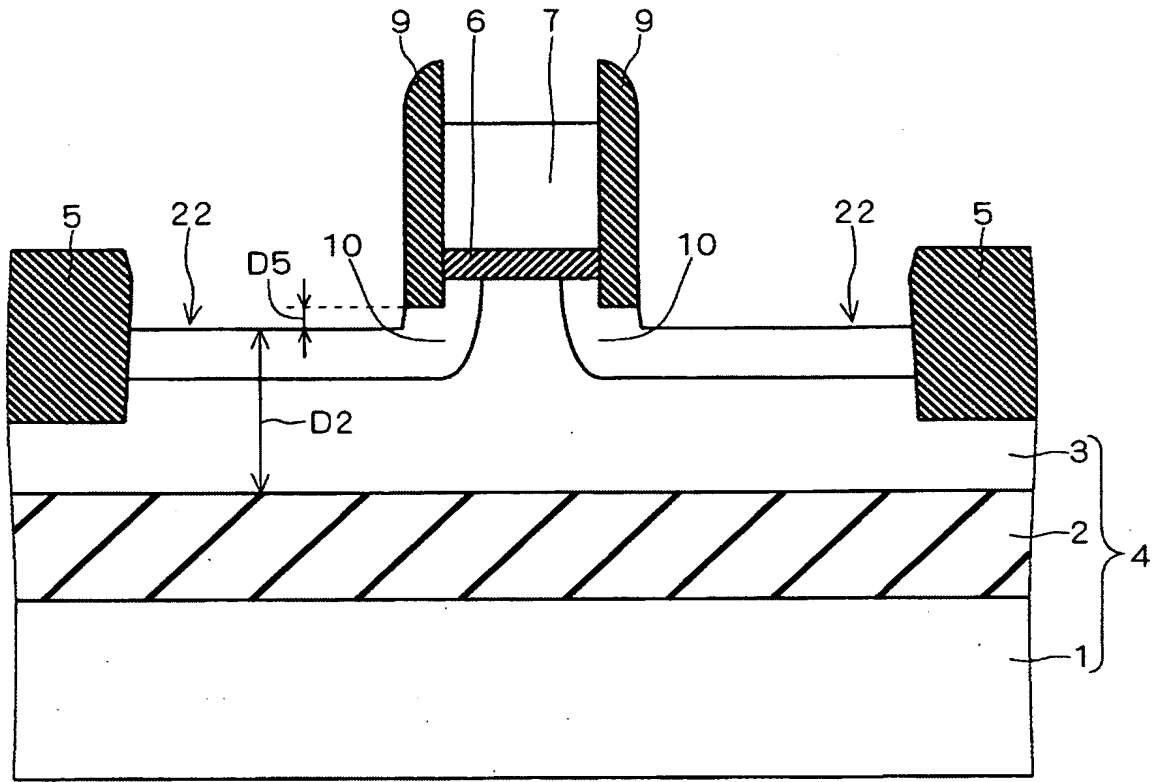
【図 1 3】



【図 14】

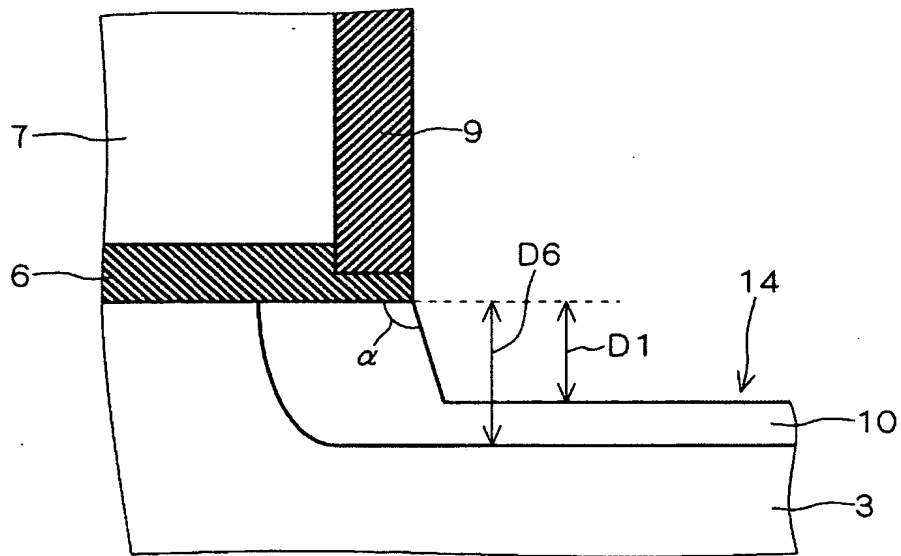


【図16】

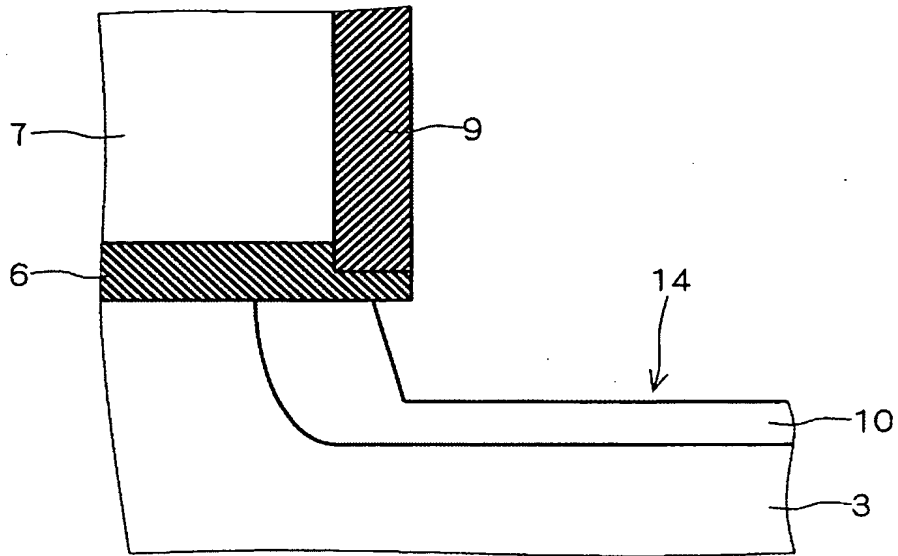


22 : 凹部

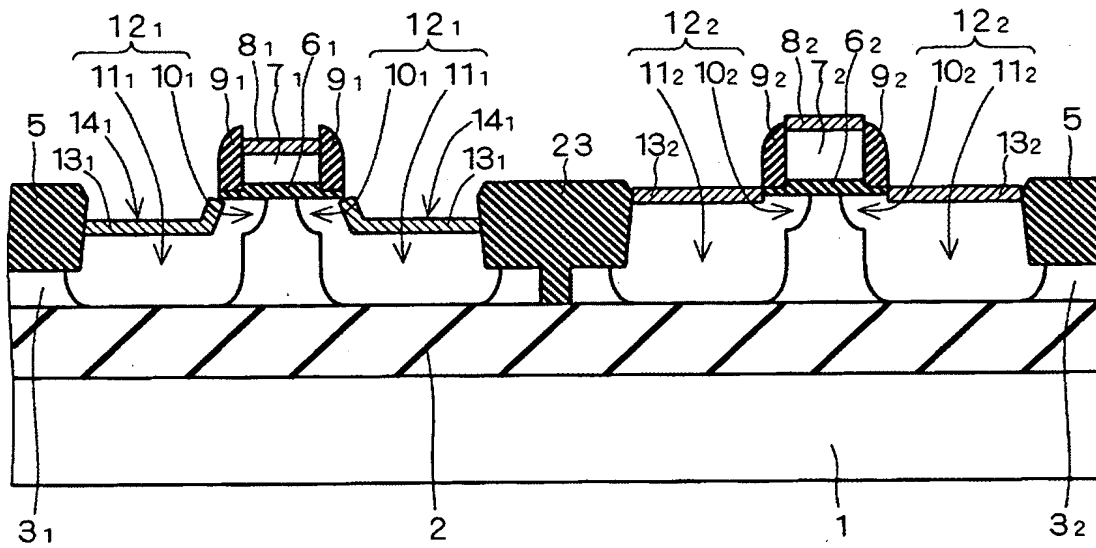
【図17】



【図18】

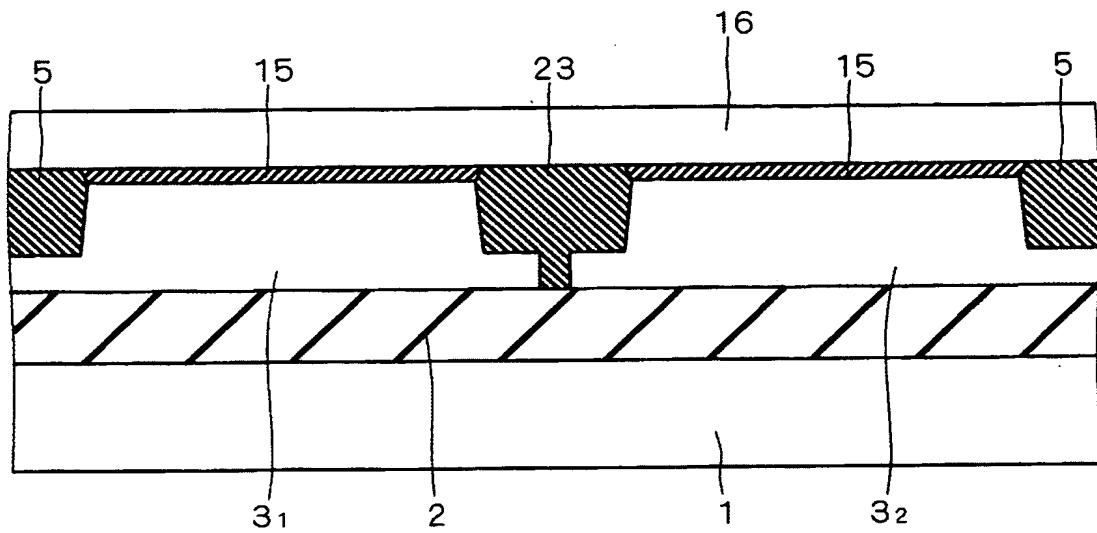


【図19】

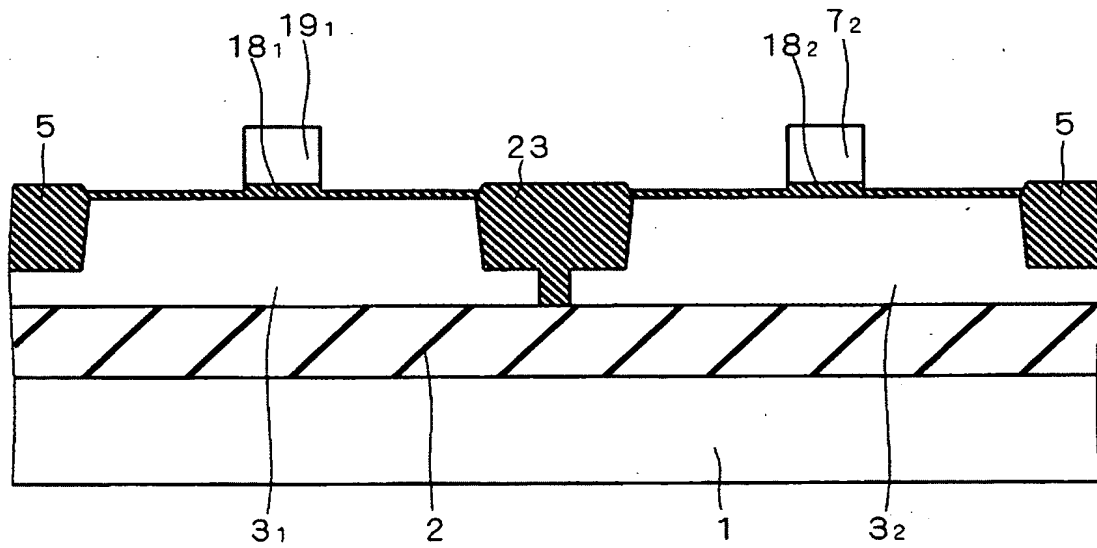


23 : 素子分離絶縁膜

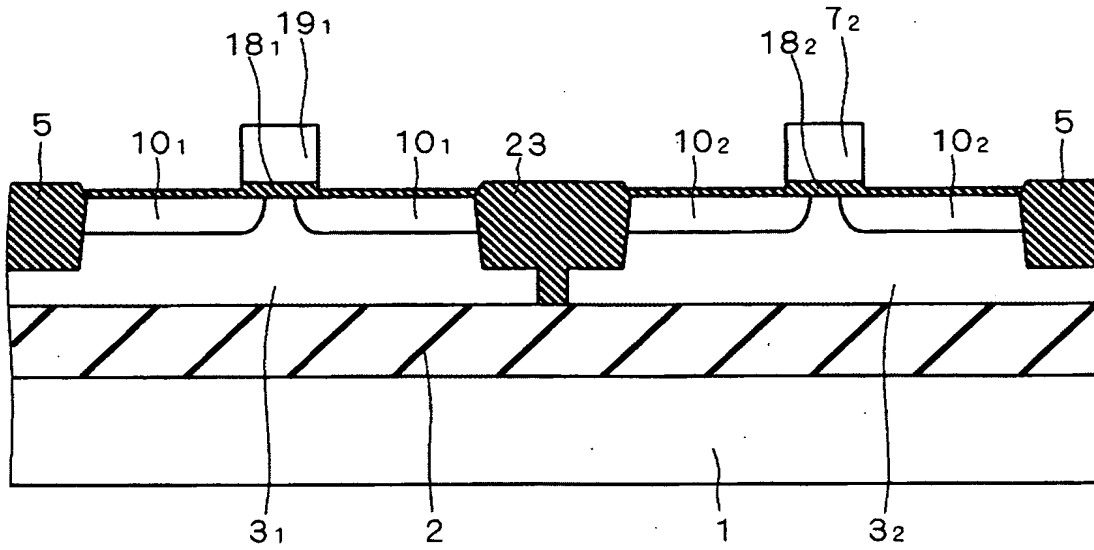
【図 20】



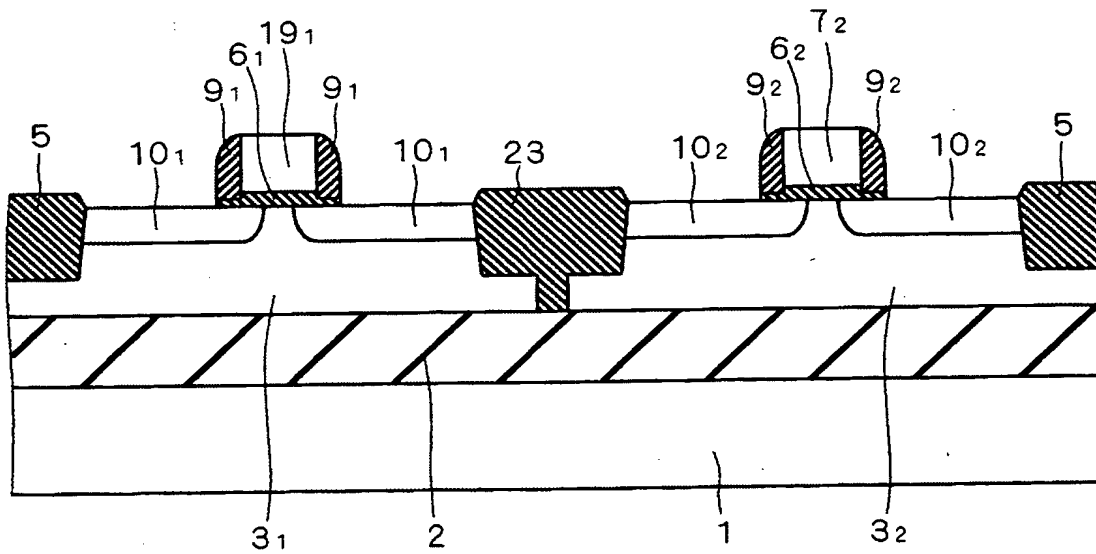
【図 21】



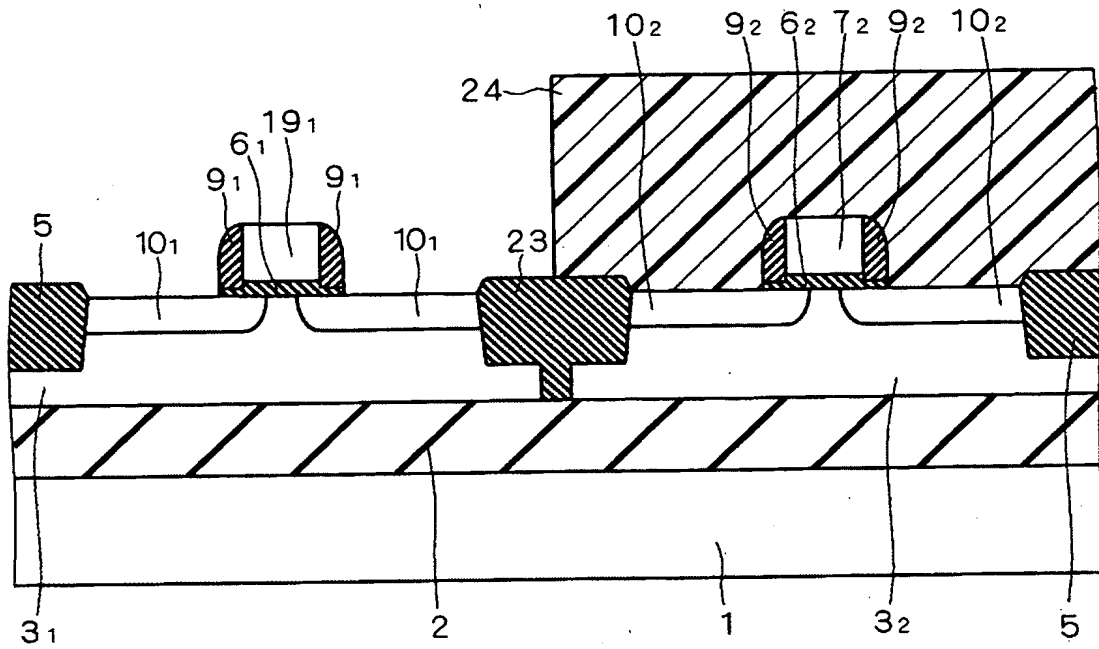
【図 2 2】



【図 2 3】

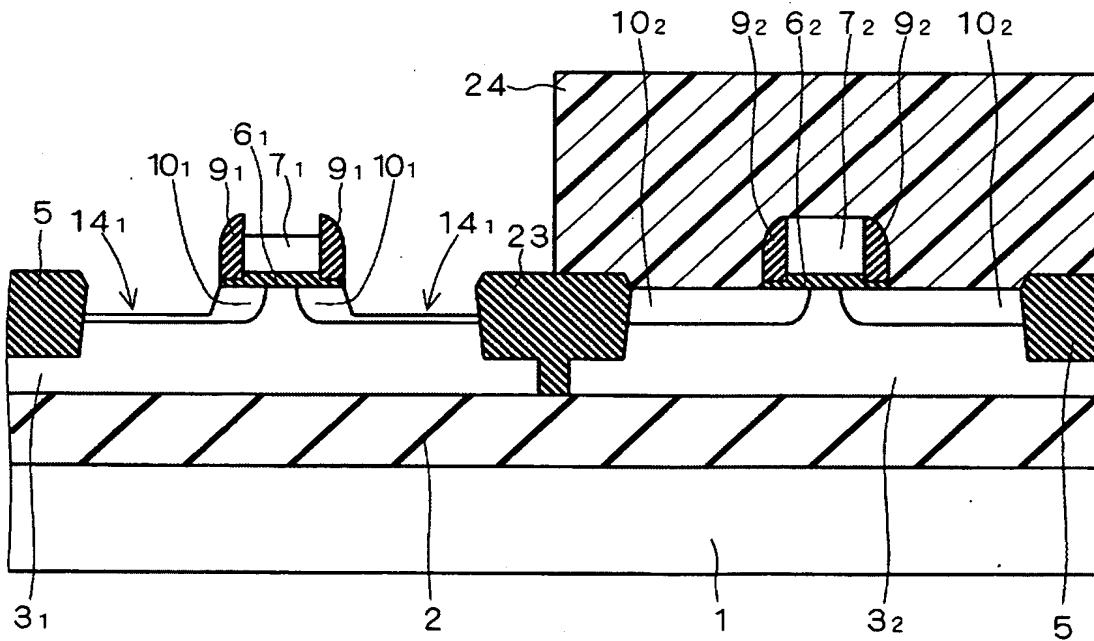


【図 24】

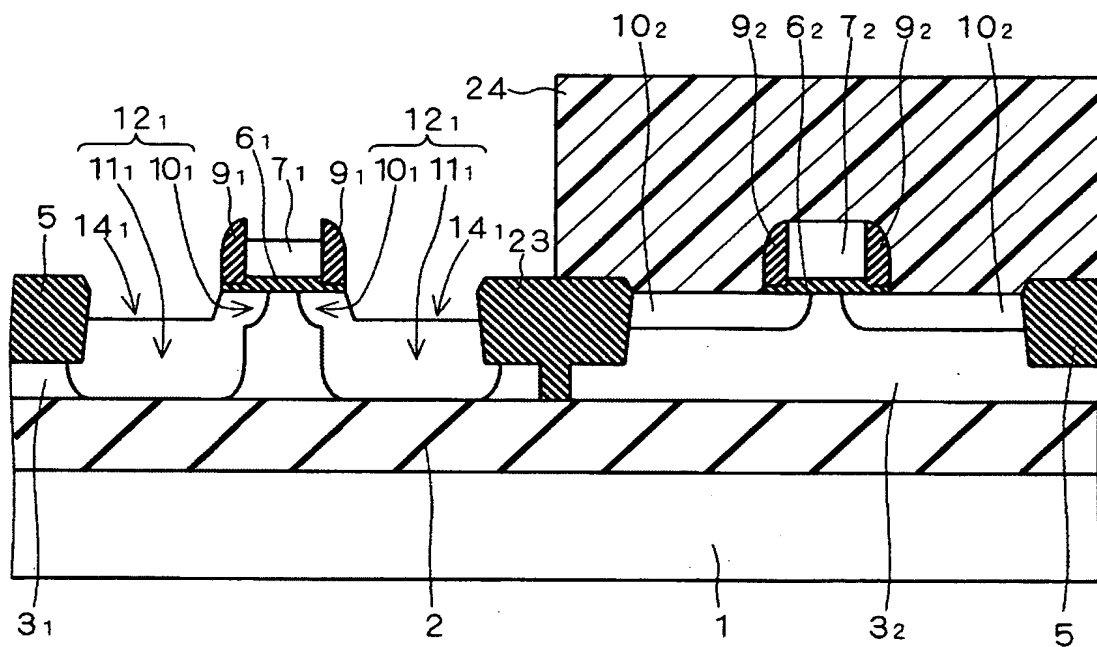


24 : フォトリソグ

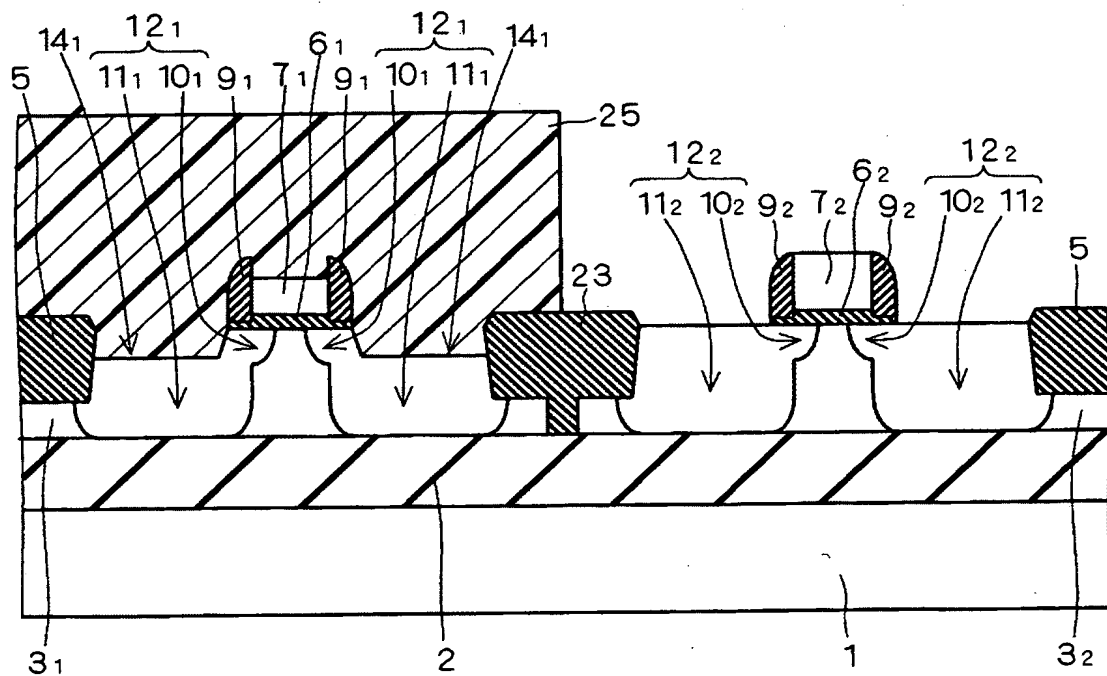
【図 25】



【図 26】

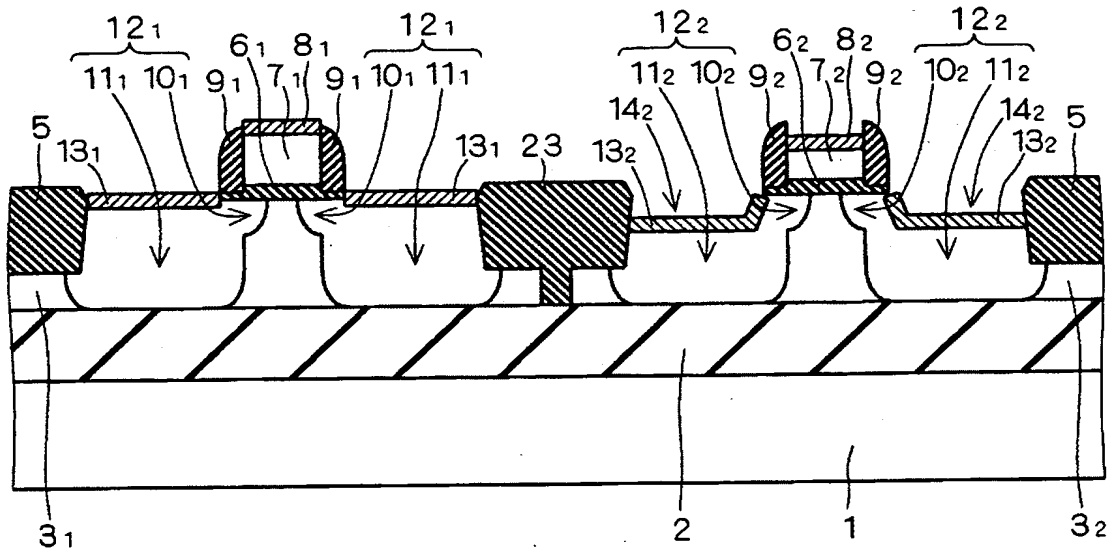


【図 27】

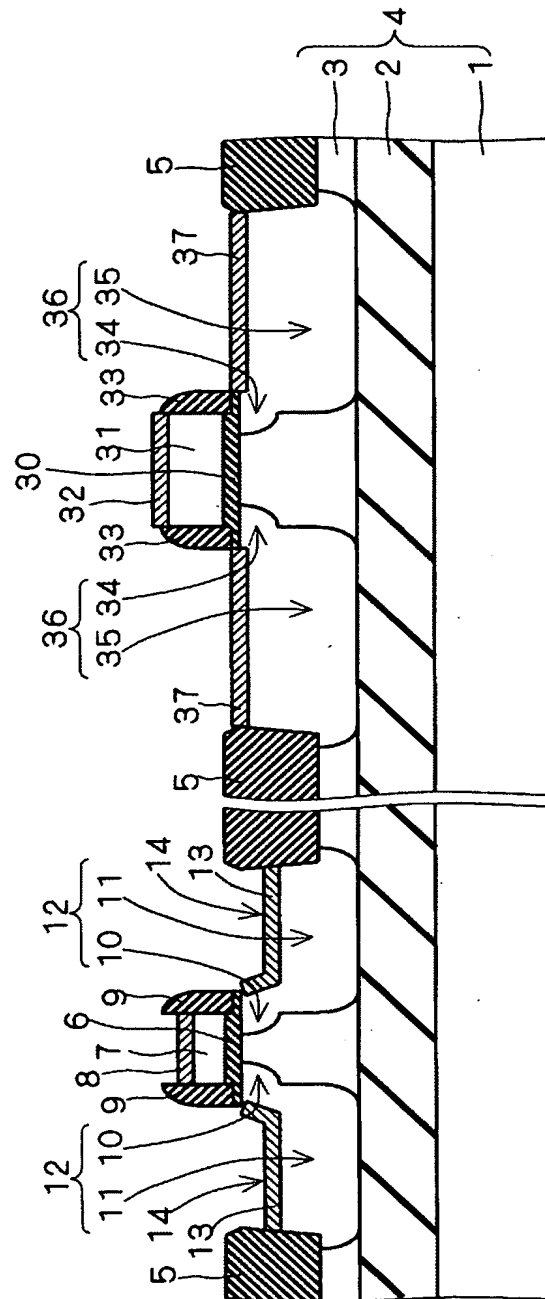


25 : フォトリソグ

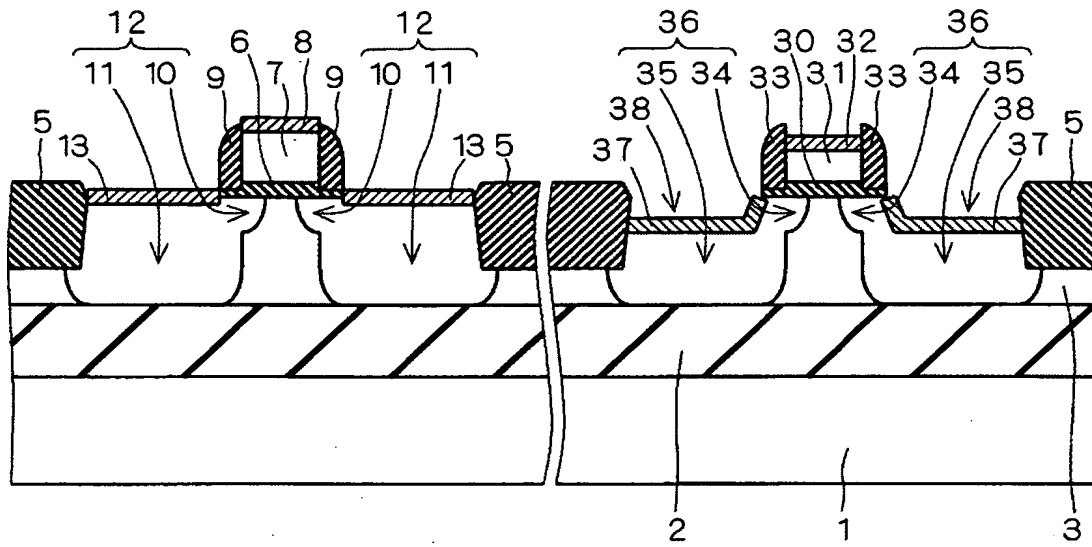
【図 28】



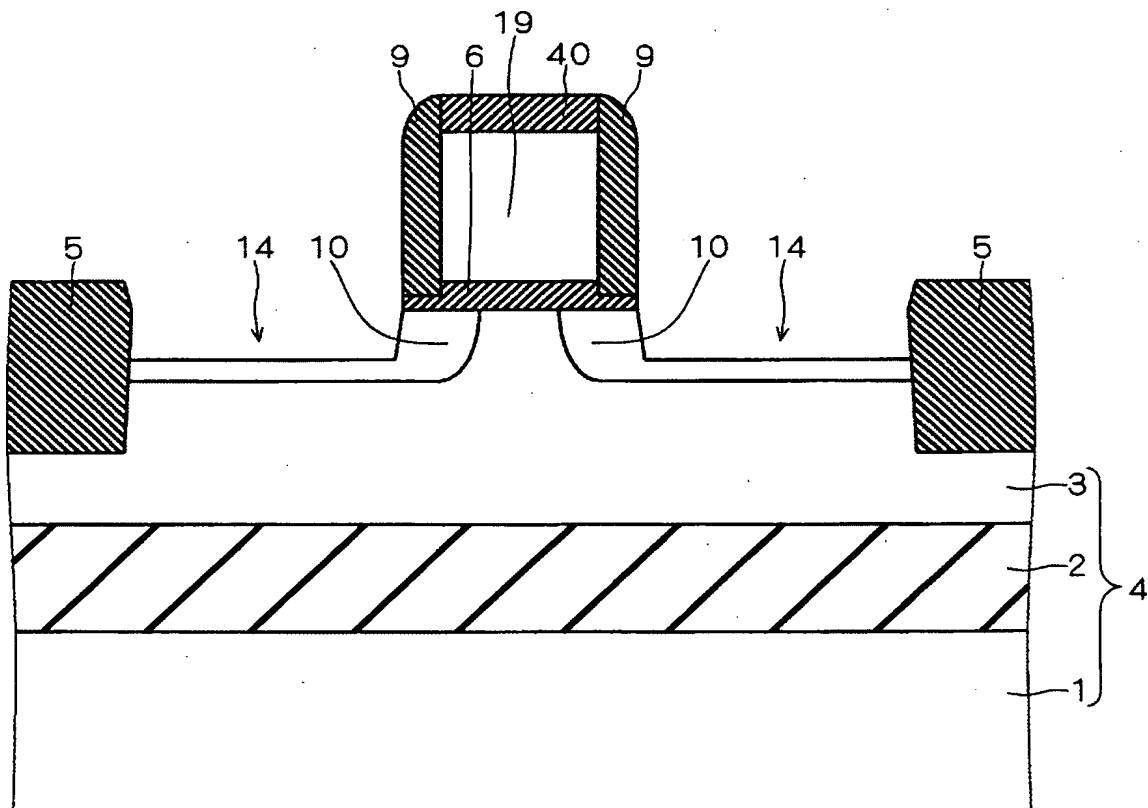
【図 29】



【图 30】

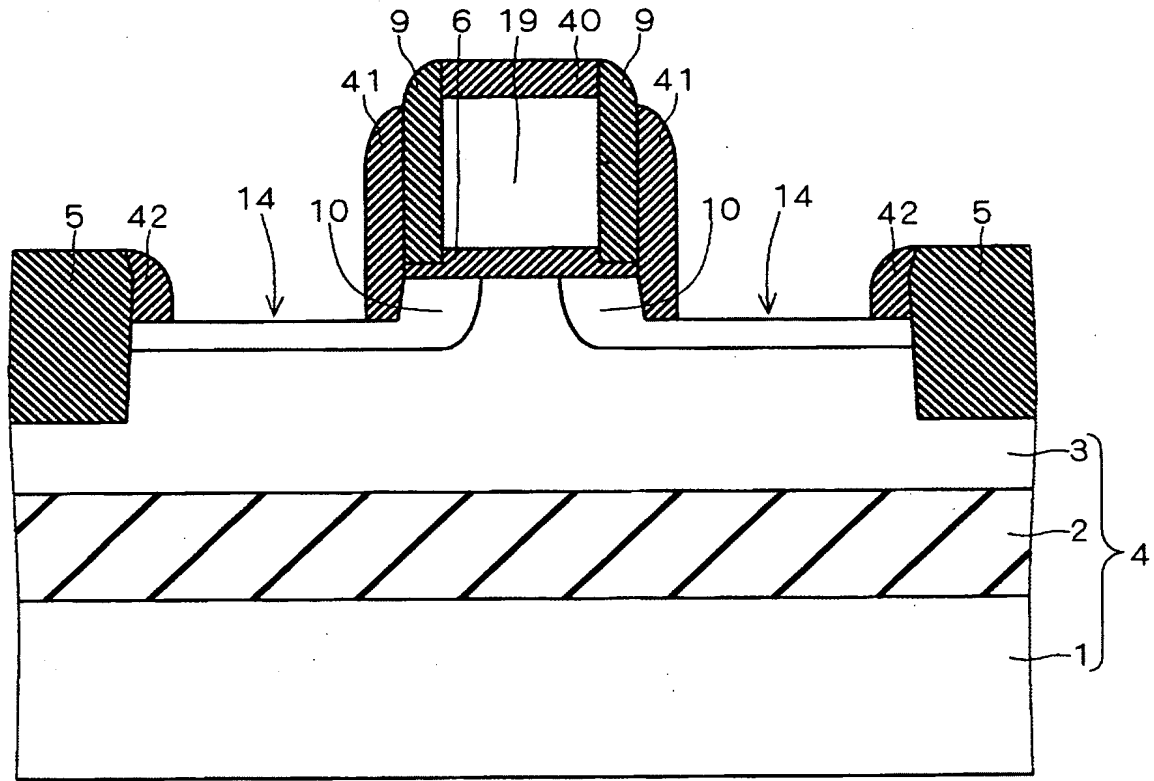


【図 3 1】



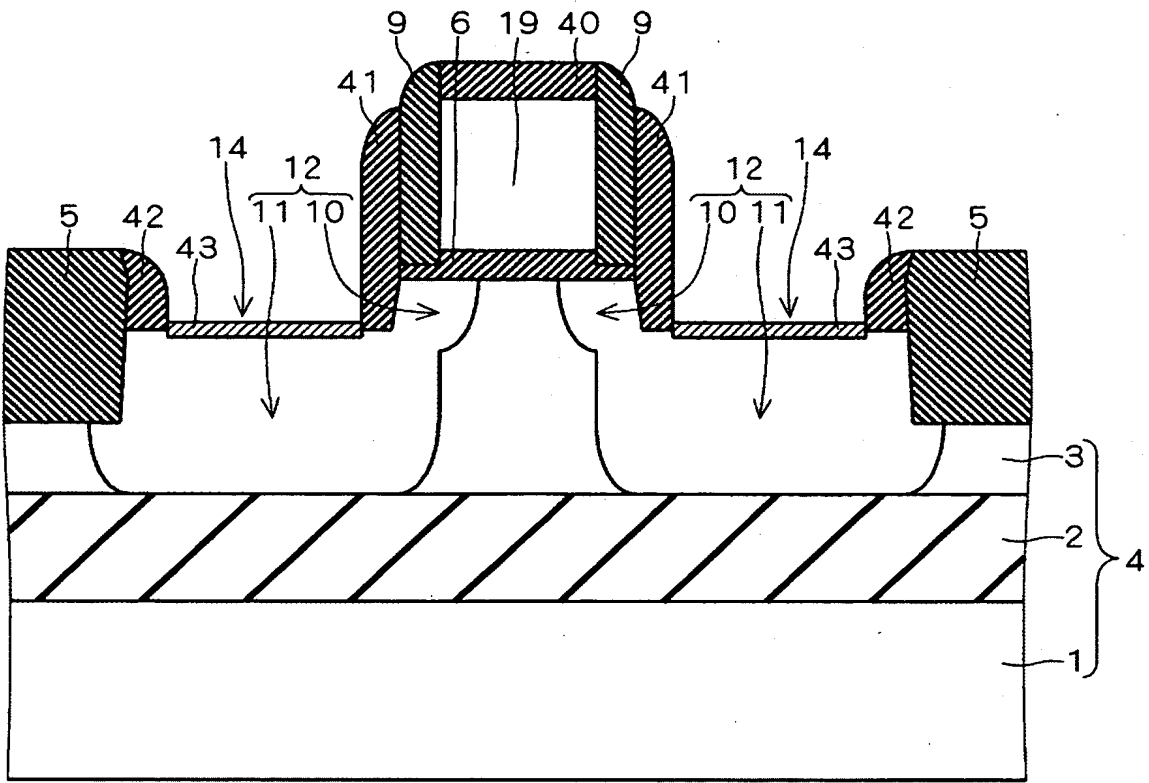
40：シリコン窒化膜

【図 32】



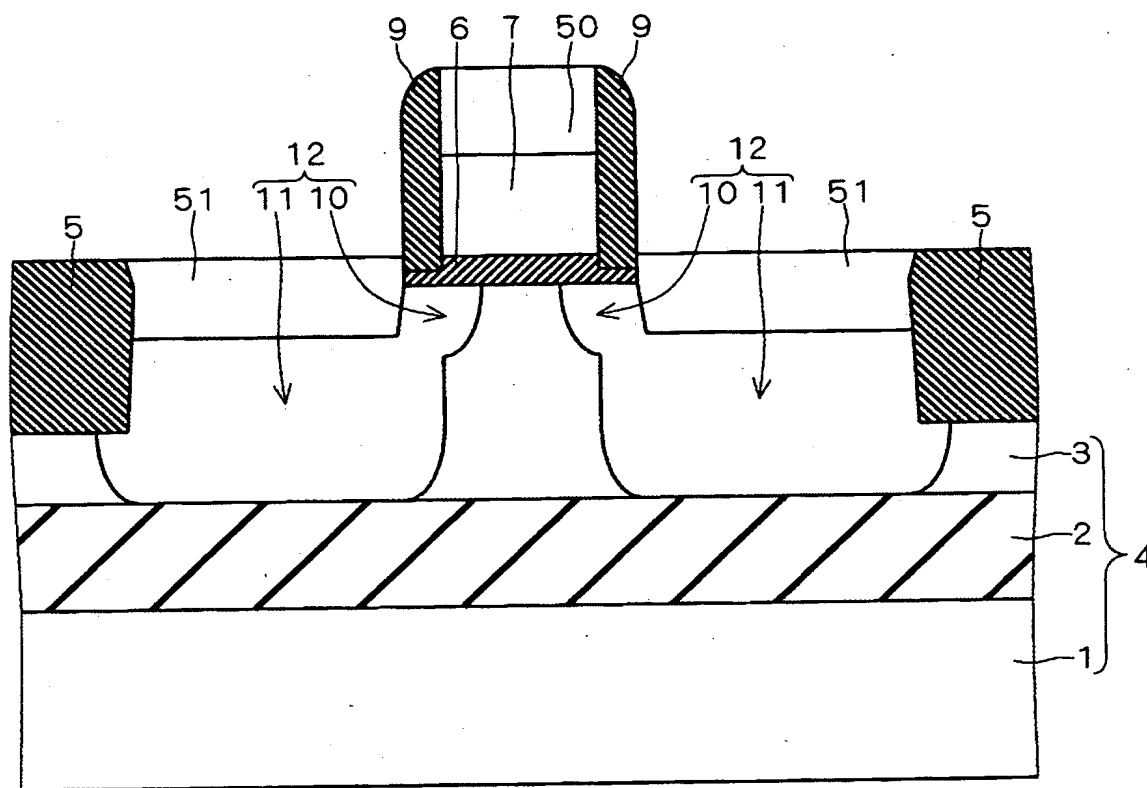
41, 42 : サイドウォール

【図 33】



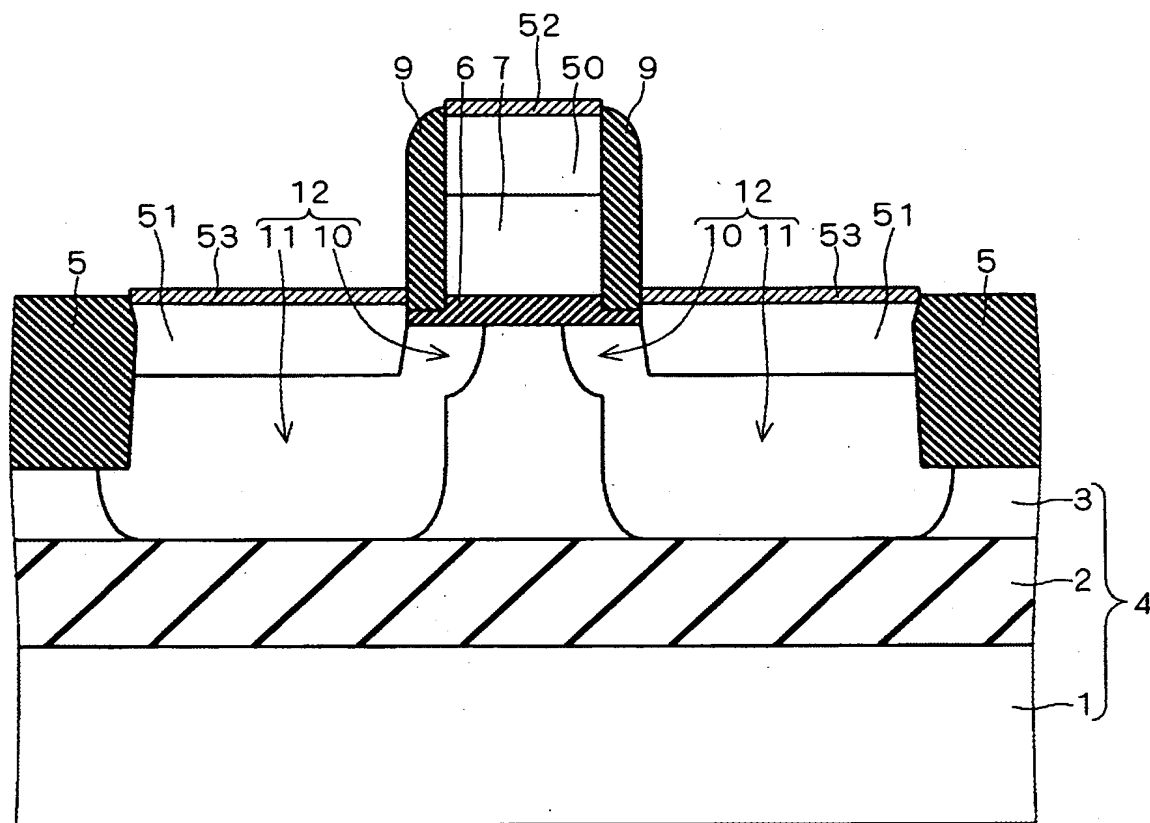
43 : コバルトシリサイド層

【図 3 4】



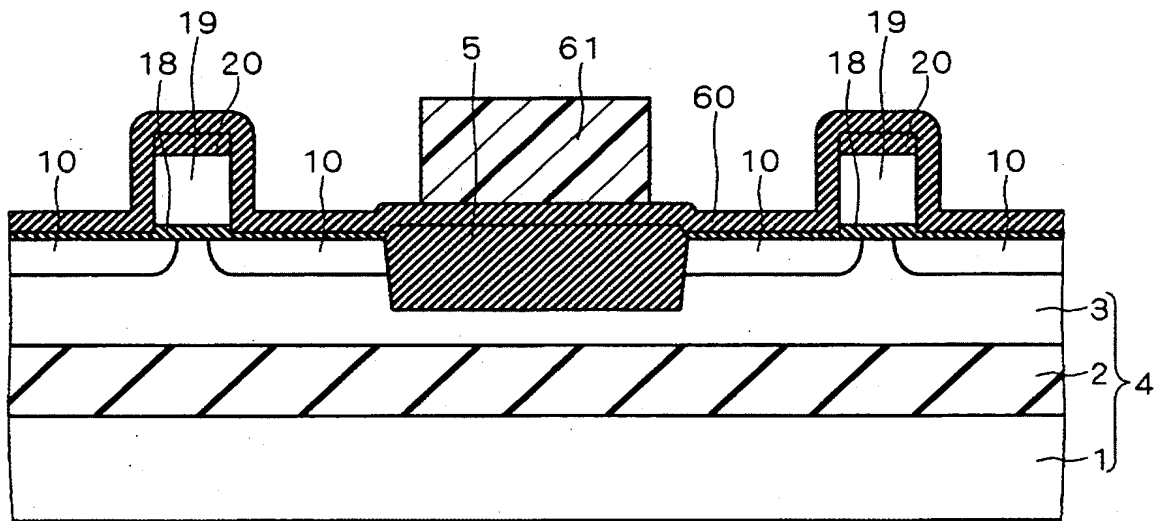
50, 51: シリコン層

【図 3 5】



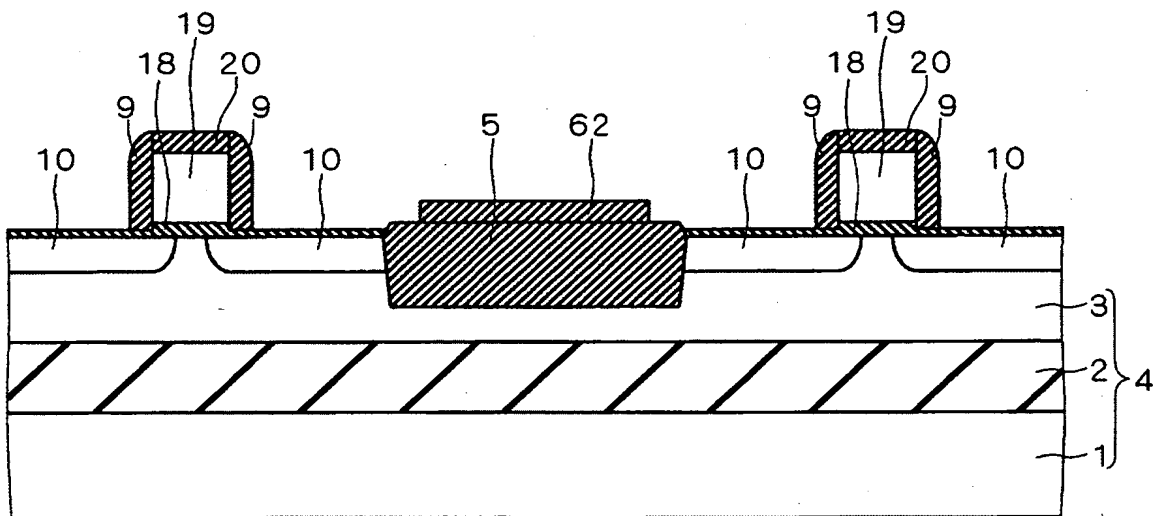
52, 53: コバルトシリサイド層

【図 3 6】



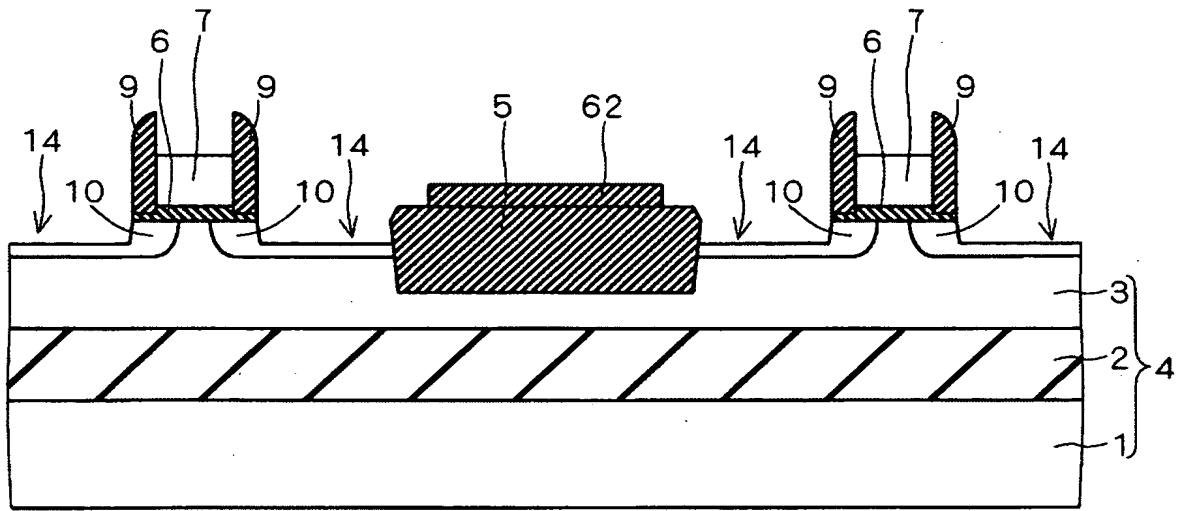
60 : シリコン窒化膜 61 : フォトリソグ

【図 3 7】



62 : シリコン窒化膜

【図 3 8】



【書類名】 要約書

【要約】

【課題】 接合容量の増加等の弊害を伴わずに分離耐圧の低下を適切に回避し得る、半導体装置及びその製造方法を得る。

【解決手段】 凹部 1 4 を形成することによってシリコン層 3 が予め薄膜化された後に、不純物導入領域 1 1 が形成される。従って、素子分離絶縁膜 5 の底面と BOX 層 2 の上面との間に位置している部分の p 型のシリコン層 3 内に、n 型の不純物が注入されないため、分離耐圧が低下することを回避できる。しかも、不純物導入領域 1 1 は BOX 層 2 の上面に到達して形成されるため、ソース・ドレイン領域 1 2 の接合容量が増加することもない。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社